

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: MIN-SU KIM
Application No.: NEW
Filed: January 26, 2004
For: SENSE AMPLIFYING CIRCUIT AND BIT COMPARATOR WITH
THE SENSE AMPLIFYING CIRCUIT

PRIORITY LETTER

January 26, 2004

COMMISSIONER FOR PATENTS
P.O. BOX 1450
Alexandria, Virginia 22313-1450

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

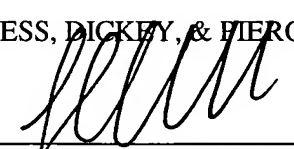
<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
10-2003-0012041	February 26, 2003	REPUBLIC OF KOREA

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By



John A. Castellano, Reg. No. 35,094
P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

JAC: jj



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0012041
Application Number

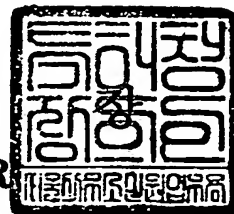
출원년월일 : 2003년 02월 26일
Date of Application
FEB 26, 2003

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 07 월 15 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0023
【제출일자】	2003.02.26
【국제특허분류】	H01L
【발명의 명칭】	센스 앰프 회로 및 이를 구비한 비트 비교 회로.
【발명의 영문명칭】	Sense amplifying circuit and bit comparator with the sense amplifying circuit
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	김민수
【성명의 영문표기】	KIM,Min Su
【주민등록번호】	730627-1241617
【우편번호】	445-973
【주소】	경기도 화성군 태안읍 반월리 860번지 신영통현대아파트 305-1101
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 35 면 35,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 21 항 781,000 원

【합계】 845,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

센스 앰프 회로 및 이를 구비한 비트 비교 회로가 개시된다. 본 발명의 실시예에 따른 센스 앰프 회로는 선택부, 센싱부, 래치부, 출력부 및 스위치부를 구비하는 것을 특징으로 한다. 선택부는 선택 신호 및 반전 선택 신호에 응답하여 제 1 신호와 제 1 반전 신호를 구비하는 제 1 신호 쌍과 제 2 신호와 제 2 반전 신호를 구비하는 제 2 신호 쌍 중 하나를 선택한다. 센싱부는 상기 선택된 제 1 신호 쌍 또는 제 2 신호 쌍 중 하나의 전압 레벨을 센싱한다. 래치부는 클럭 신호에 응답하여 제 1 및 제 2 노드를 프리차지 시키고, 상기 센싱부의 센싱 결과에 응답하여 상기 제 1 및 제 2 노드의 전압 레벨을 제어한다. 출력부는 상기 제 1 및 제 2 노드의 레벨을 반전시켜 대응되는 제 1 및 제 2 출력 신호를 발생한다. 스위치부는 상기 클럭 신호에 응답하여 상기 선택부의 동작을 제어한다. 본 발명에 따른 센스 앰프 회로는 두 쌍의 차동 신호를 수신하고 이들 두 쌍의 차동 신호들 중 한 쌍의 신호를 선택함과 동시에 선택된 신호만을 증폭함으로써 센스 앰프 회로의 다음 단계 로직(logic) 부담을 주지 않는 장점이 있다. 또한 본 발명의 센스 앰프 회로를 구비하는 비트 비교 회로는 동작 속도가 빨라지므로 고속 캐쉬 메모리를 구현할 수 있는 장점이 있다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

센스 앰프 회로 및 이를 구비한 비트 비교 회로.{Sense amplifying circuit and bit comparator with the sense amplifying circuit}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 일반적인 센스 앰프 회로를 나타내는 회로도이다.

도 2는 일반적인 비트 비교 회로(bit comparator)를 나타내는 회로도이다.

도 3은 본 발명의 실시예에 따른 센스 앰프 회로를 나타내는 회로도이다.

도 4는 도 3의 센스 앰프 회로의 구조를 변경한 센스 앰프 회로를 나타내는 회로도이다.

도 5는 도 3의 센스 앰프 회로의 구조를 변경한 센스 앰프 회로를 나타내는 회로도이다.

도 6은 본 발명의 다른 실시예에 따른 센스 앰프 회로를 나타내는 회로도이다.

도 7은 도 6의 센스 앰프 회로의 구조를 변경한 센스 앰프 회로를 나타내는 회로도이다.

도 8은 도 6의 센스 앰프 회로의 구조를 변경한 센스 앰프 회로를 나타내는 회로도이다.

도 9는 본 발명의 다른 실시예에 따른 비트 비교 회로를 나타내는 회로도이다.

도 10은 도 9의 비트 비교 회로의 구조를 변경한 비트 비교 회로를 나타내는 회로도이다.

도 11은 도 9 및 도 10의 비트 비교 회로를 설명하는 블록도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <13> 본 발명은 반도체 회로에 관한 것으로서 특히 미세한 차이가 나는 차동 신호를 검출하여 증폭하는 센스 앰프 회로와 센스 앰프 회로를 구비하는 비트 비교 회로에 관한 것이다.
- <14> 일반적인 센스 앰프 회로는 미세한 레벨 차이를 가지는 두 개의 차동 신호를 클럭 신호에 동기하여 센싱 하고 그 결과를 증폭하여 출력한다.
- <15> 도 1은 일반적인 센스 앰프 회로를 나타내는 회로도이다.
- <16> 도 1을 참조하여, 센스 앰프 회로(100)의 동작을 살펴본다. 미세한 차이를 가지는 두 개의 입력 신호(INH, INL)가 센스 앰프 회로(100)로 인가된다고 하자. 입력 신호(INH)가 입력 신호(INL)보다 약간 더 높은 전압 레벨을 갖는다고 가정한다.
- <17> 클럭 신호(CLK)가 로우 레벨인 경우 프리 차지 트랜지스터들(PMP1, PMP2)에 의하여 제 1 노드(N1)와 제 2 노드(N2)는 프리차지 되어 있고, 엔모스 트랜지스터들(LMN1, LMN2, LMN3, LMN4)이 턴 온 되어있다.

- <18> 클럭 신호(CLK)가 하이 레벨로 천이 되는 경우, 스위치 트랜지스터(SWMN)가 턴 온 되면서 센스 앰프 회로(100)의 센싱 동작이 시작된다. 이 때 프리차지 트랜지스터들(PMP1, PMP2)은 턴 오프 되지만 래치 트랜지스터들(LMP1, LMP2)에 의하여 제 1 노드(N1)와 제 2 노드(N2)는 프리 차지 상태를 계속 유지한다.
- <19> 입력 신호(INH)를 수신하는 엔모스 트랜지스터(SMN1)가 입력 신호(INL)를 수신하는 엔모스 트랜지스터(SMN2) 보다 더 많이 턴 온 되므로 제 1 노드(N1)의 전압 레벨이 제 2 노드(N2)의 전압 레벨보다 더 낮아진다.
- <20> 즉, 상대적으로 제 1 노드(N1)는 로우 레벨이고 제 2 노드(N2)는 하이 레벨이라고 할 수 있다. 제 1 노드(N1)와 제 2 노드(N2)의 전압 레벨은 인버터들(I1, I2)에 의하여 반전되어 출력된다.
- <21> 따라서, 출력 신호(OUTH)는 하이 레벨로, 출력 신호(OUTL)는 로우 레벨로 출력된다. 그리고 출력 신호들(OUTH, OUTL)의 전압 레벨은 더욱 크게 서로 차이 나게 된다.
- <22> 그런데, 센스 앰프 회로가 두 쌍의 차동 신호 중 한 쌍의 차동 신호를 선택하여 증폭해야 하는 경우, 일반적인 센스 앰프 회로는 입력되는 차동 신호들이 작은 스윙 폭을 가지는(small swing) 미세 신호이므로 증폭을 먼저 한 후 두 쌍의 차동 신호들 중 한 쌍을 선택해야 한다. 그러나 이러한 구조의 센스 앰프 회로는 센스 앰프 회로의 뒷 단계 큰 로직(logic) 부담을 주는 문제가 있다.
- <23> 도 2는 일반적인 비트 비교 회로(bit comparator)를 나타내는 회로도이다.
- <24> 비트 비교 회로는 캐쉬(cache) 메모리 내부의 연상 메모리(CAM :Contents Address Memory)로 입력되는 어드레스 데이터와 태그(tag) 값을 비교하는 데 사용된다. 연상 메

모리는 외부에서 입력되는 데이터를 저장하고, 외부로부터 입력되는 어드레스 데이터와 저장된 데이터를 비교하여 서로 일치하는 지 여부를 판단한다. 연상 메모리에 저장된 데이터를 태그(tag)라고 하며, 비트 비교 회로는 태그(tag)와 입력되는 어드레스 데이터를 비교한다.

<25> 도 2를 참조하여 일반적인 비트 비교 회로의 동작을 설명한다. 두 개의 인버터들(ID1, ID2)의 입력단과 출력단이 서로 연결된 래치 구조를 가지는 데이터 유지부(230)는 워드 라인(WL)에 의하여 제어되는 트랜지스터들(CMN1, CMN2)을 통하여 비트 라인쌍(BL, BLB)으로부터 데이터(DATA)와 반전 데이터(INDATA)를 수신하여 저장한다. 이 값이 태그(tag)이다.

<26> 데이터(DATA)의 레벨이 로우 레벨이고 반전 데이터(INDATA)의 레벨이 하이 레벨이라고 가정한다. 저장된 데이터(DATA, INDATA)와 일치하지 않는 어드레스 데이터(INH, INL)가 입력된다고 가정한다. 즉 어드레스 데이터(INH, INL) 중 INH 가 하이 레벨이고 INL 이 로우 레벨이다.

<27> 어드레스 데이터(INH, INL)는 클럭 신호(CLK)에 동기되어 동작되는 센스 앰프 회로(210)를 통하여 드라이버(220)로 인가된다. 센스 앰프 회로(210)는 도 1의 일반적인 센스 앰프 회로(100)의 구조를 가지며 어드레스 데이터(INH, INL)는 센스 앰프 회로(210)와 드라이버(220)를 거치면서 증폭된다.

<28> 데이터(DATA)와 반전 데이터(INDATA)는 각각 전송 게이트들(TG1, TG2)로 인가된다. 그러면 전송 게이트(TG1)는 턴 온 되고 전송 게이트(TG2)는 턴 오프 된다. 하이 레벨을 가지는 어드레스 데이터(INH)는 전송 게이트(TG1)를 통하여 매치 신호(MATL)로서 출력된

다. 로우 레벨을 가지는 어드레스 데이터(INL)는 전송 게이트(TG2)가 턴 오프 되어있으므로 출력되지 못한다.

<29> 매치 신호(MATL)가 하이 레벨로 출력되면 비트 비교 회로(200)로 입력되는 어드레스 데이터(INH, INL)와 저장된 데이터들(DATA, INDATA)의 레벨이 서로 일치되지 않는 것을 의미하고, 매치 신호(MATL)가 로우 레벨로 출력되면 비트 비교 회로(200)로 입력되는 어드레스 데이터(INH, INL)와 저장된 데이터들(DATA, INDATA)의 레벨이 서로 일치되는 것을 의미한다.

<30> 그런데 일반적인 비트 비교 회로는 입력되는 어드레스 데이터가 센스 앰프 회로와 드라이버를 통하여 증폭되어야 하고 또한 비교단계를 거쳐서 매치 신호가 발생된다. 따라서 어드레스 데이터가 입력된 후 매치 신호가 출력될 때까지 시간이 길게 소비되는 문제가 있다. 이는 반도체 기술의 진보와 함께 고속 동작을 필요로 하는 캐쉬(cache) 메모리에 있어서 큰 문제가 아닐 수 없다.

【발명이 이루고자 하는 기술적 과제】

<31> 본 발명이 이루고자하는 기술적 과제는 두 쌍의 차동 신호 중 한 쌍의 차동 신호를 선택함과 동시에 증폭함으로써 로직 부담을 줄일 수 있는 센스 앰프 회로를 제공하는데 있다.

<32> 본 발명이 이루고자하는 다른 기술적 과제는 본 발명의 센스 앰프 회로 구비함으로써 동작속도를 향상시킨 비트 비교 회로를 제공하는데 있다.

【발명의 구성 및 작용】

- <33> 상기 기술적 과제를 달성하기 위한 본 발명의 실시예에 따른 센스 앰프 회로는 선택부, 센싱부, 래치부, 출력부 및 스위치부를 구비하는 것을 특징으로 한다.
- <34> 선택부는 선택 신호 및 반전 선택 신호에 응답하여 제 1 신호와 제 1 반전 신호를 구비하는 제 1 신호 쌍과 제 2 신호와 제 2 반전 신호를 구비하는 제 2 신호 쌍 중 하나를 선택한다.
- <35> 센싱부는 상기 선택된 제 1 신호 쌍 또는 제 2 신호 쌍 중 하나의 전압 레벨을 센싱한다. 래치부는 클럭 신호에 응답하여 제 1 및 제 2 노드를 프리차지 시키고, 상기 센싱부의 센싱 결과에 응답하여 상기 제 1 및 제 2 노드의 전압 레벨을 제어한다.
- <36> 출력부는 상기 제 1 및 제 2 노드의 레벨을 반전시켜 대응되는 제 1 및 제 2 출력 신호를 발생한다. 스위치부는 상기 클럭 신호에 응답하여 상기 선택부의 동작을 제어한다.
- <37> 상기 래치부는 전원 전압에 제 1단이 연결되고 상기 제 1 노드에 제 2단이 연결되며 게이트에 상기 클럭 신호가 연결되는 제 1 프리차지 트랜지스터, 상기 전원 전압에 제 1단이 연결되고 상기 제 2 노드에 제 2단이 연결되며 게이트에 상기 클럭 신호가 연결되는 제 2 프리차지 트랜지스터, 상기 전원 전압에 제 1단이 연결되고 상기 제 1 노드에 제 2단이 연결되며 게이트에 상기 제 2 노드가 연결되는 제 1 래치 트랜지스터, 상기 전원 전압에 제 1단이 연결되고 상기 제 2 노드에 제 2단이 연결되며 게이트에 상기 제 1 노드가 연결되는 제 2 래치 트랜지스터, 상기 제 1 노드에 제 1단들이 공통으로 연결되고 각각의 게이트에 제 2 노드가 각각 연결되는 제 3 및 제 4 래치 트랜지스터들 및

상기 제 2 노드에 제 1단들이 공통으로 연결되고 각각의 게이트에 제 1 노드가 각각 연결되는 제 5 및 제 6 래치 트랜지스터들을 구비하는 것을 특징으로 한다.

<38> 상기 래치부는 상기 제 1 노드에 제 1단이 연결되고 상기 스위치부에 제 2단이 연결되며 게이트에 상기 제 2 노드가 연결되는 제 1 전류 패스 트랜지스터 및 상기 제 2 노드에 제 1단이 연결되고 상기 스위치부에 제 2단이 연결되며 게이트에 상기 제 1 노드가 연결되는 제 2 전류 패스 트랜지스터를 더 구비하는 것을 특징으로 한다.

<39> 상기 센싱부는 상기 제 3 래치 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 상기 제 1 신호가 연결되는 제 1 센스 트랜지스터, 상기 제 6 래치 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 상기 제 1 반전 신호가 연결되는 제 1 반전 센스 트랜지스터, 상기 제 4 래치 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 상기 제 2 신호가 연결되는 제 2 센스 트랜지스터 및 상기 제 5 래치 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 상기 제 1 반전 신호가 연결되는 제 2 반전 센스 트랜지스터를 구비하는 것을 특징으로 한다.

<40> 상기 선택부는 상기 제 1 센스 트랜지스터의 제 2단과 상기 제 1 반전 센스 트랜지스터의 제 2단에 공통으로 제 1단이 연결되고 게이트에 상기 선택 신호가 연결되며 제 2단이 제 3노드에 연결되는 제 1 선택 트랜지스터 및 상기 제 2 센스 트랜지스터의 제 2단과 상기 제 2 반전 센스 트랜지스터의 제 2단에 공통으로 제 1단이 연결되고 게이트에 상기 반전 선택 신호가 연결되며 제 2단이 상기 제 3노드에 연결되는 제 2 선택 트랜지스터를 구비하는 것을 특징으로 한다.

<41> 상기 선택부는 상기 제 1 센스 트랜지스터의 제 2단에 제 1단이 연결되고 상기 선택 신호가 게이트에 연결되며 제 2단이 제 3노드에 연결되는 제 1 선택 트랜지스터, 상

기 제 1 반전 센스 트랜지스터의 제 2단에 제 1단이 연결되고 상기 선택 신호가 게이트에 연결되며 제 2단이 제 3노드에 연결되는 제 1 반전 선택 트랜지스터, 상기 제 2 센스 트랜지스터의 제 2단에 제 1단이 연결되고 상기 반전 선택 신호가 게이트에 연결되며 제 2단이 제 3노드에 연결되는 제 2 선택 트랜지스터 및 상기 제 2 반전 센스 트랜지스터의 제 2단에 제 1단이 연결되고 상기 반전 선택 신호가 게이트에 연결되며 제 2단이 제 3노드에 연결되는 제 2 반전 선택 트랜지스터를 구비하는 것을 특징으로 한다.

<42> 상기 스위치부는 상기 제 3 노드에 제 1단이 연결되며 상기 클럭 신호가 게이트에 연결되고 접지 전압에 제 2단이 연결되는 스위치 트랜지스터인 것을 특징으로 한다.

<43> 상기 제 1 및 제 2 프리차지 트랜지스터, 제 1 및 제 2 래치 트랜지스터는 피모스 트랜지스터이고, 상기 제 3 내지 제 6 래치 트랜지스터들, 상기 제 1 및 제 2 센스 트랜지스터, 상기 제 1 및 제 2 반전 센스 트랜지스터, 상기 제 1 및 제 2 선택 트랜지스터, 상기 제 1 및 제 2 반전 선택 트랜지스터, 상기 스위치 트랜지스터는 엔모스 트랜지스터인 것을 특징으로 한다.

<44> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 센스 앰프 회로는 선택부, 센싱부, 래치부 및 출력부를 구비하는 것을 특징으로 한다.

<45> 선택부는 클럭 신호의 제 1 레벨, 선택 신호 및 반전 선택 신호에 응답하여 제 1 신호와 제 1 반전 신호를 구비하는 제 1 신호 쌍과 제 2 신호와 제 2 반전 신호를 구비하는 제 2 신호 쌍 중 하나를 선택한다.

<46> 센싱부는 상기 선택된 제 1 신호 쌍 또는 제 2 신호 쌍 중 하나의 전압 레벨을 센싱한다. 래치부는 상기 클럭 신호의 제 2 레벨에 응답하여 제 1 및 제 2 노드를 프리차

지 시키고, 상기 센싱부의 센싱 결과에 응답하여 상기 제 1 및 제 2 노드의 전압 레벨을 제어한다.

<47> 출력부는 상기 제 1 및 제 2 노드의 레벨을 반전시켜 대응되는 제 1 및 제 2 출력 신호를 발생한다.

<48> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 비트 비교 회로는 램 셀부, 선택부, 센싱부, 래치부 및 출력부를 구비하는 것을 특징으로 한다.

<49> 램 셀부는 제어 신호에 응답하여 데이터 라인 쌍으로부터 데이터 및 상기 데이터와 반대되는 레벨을 가지는 반전 데이터를 수신하여 저장하고 선택 신호 및 반전 선택 신호를 발생한다.

<50> 선택부는 클럭 신호의 제 1 레벨, 상기 선택 신호 및 상기 반전 선택 신호에 응답하여 제 1 신호와 제 1 반전 신호를 구비하는 제 1 신호 쌍과 제 2 신호와 제 2 반전 신호를 구비하는 제 2 신호 쌍 중 하나를 선택한다.

<51> 센싱부는 상기 선택된 제 1 신호 쌍 또는 제 2 신호 쌍 중 하나의 전압 레벨을 센싱한다. 래치부는 상기 클럭 신호의 제 2 레벨에 응답하여 제 1 및 제 2 노드를 프리차지 시키고, 상기 센싱부의 센싱 결과에 응답하여 상기 제 1 및 제 2 노드의 전압 레벨을 제어한다.

<52> 출력부는 상기 제 1 및 제 2 노드의 레벨을 반전시켜 대응되는 제 1 및 제 2 출력 신호를 발생하고, 상기 제 2 출력 신호의 레벨을 이용하여 상기 데이터 및 반전 데이터와 상기 제 1 신호 및 상기 제 1 반전 신호가 일치하는 지를 판단한다.

- <53> 상기 램 셀부는 인버터의 출력이 다른쪽 인버터의 입력으로 연결되는 제 1 및 제 2 인버터를 구비하는 데이터 유지부, 상기 제어 신호에 응답하여 상기 데이터 라인 쌍 중 하나로부터 상기 데이터를 상기 제 1 인버터의 입력단으로 전송하는 제 1 제어 트랜지스터 및 상기 제어 신호에 응답하여 상기 데이터 라인 쌍 중 다른 하나로부터 상기 반전 데이터를 상기 제 2 인버터의 입력단으로 전송하는 제 2 제어 트랜지스터를 구비하고, 상기 데이터 라인 쌍은 비트 라인 쌍 인 것을 특징으로 한다.
- <54> 상기 데이터는 상기 선택 신호와 동일한 신호이고, 상기 반전 데이터는 상기 반전 선택 신호와 동일한 신호이며, 상기 제 1 신호와 상기 제 2 반전 신호는 동일한 신호이고, 상기 제 2 신호와 상기 제 2 신호와 상기 제 1 반전 신호는 동일한 신호이며, 상기 제 1 신호와 상기 제 1 반전 신호는 서로 반대되는 레벨을 가지며 상기 비트 비교 회로로 입력되는 어드레스 데이터인 것을 특징으로 한다.
- <55> 상기 센싱부는 상기 클럭 신호 및 상기 선택 신호가 제 1 레벨인 경우, 상기 제 1 신호가 게이트로 인가되는 제 1 센스 트랜지스터 및 상기 제 1 반전 신호가 게이트로 인가되는 제 1 반전 센스 트랜지스터가 턴 온 되며, 상기 제 1 센스 트랜지스터 및 상기 제 1 반전 센스 트랜지스터의 소스가 공통으로 연결되고, 상기 클럭 신호 및 상기 반전 선택 신호가 제 1 레벨인 경우, 제 2 신호가 게이트로 인가되는 제 2 센스 트랜지스터 및 제 2 반전 신호가 게이트로 인가되는 제 2 반전 센스 트랜지스터가 턴 온 되며, 상기 제 2 센스 트랜지스터 및 상기 제 2 반전 센스 트랜지스터의 소스가 공통으로 연결되는 것을 특징으로 한다.
- <56> 상기 선택부는 상기 제 1 센스 트랜지스터와 상기 제 1 반전 센스 트랜지스터의 소스에 공통으로 제 1단이 연결되고 게이트에 상기 클럭 신호가 연결되는 제 1 스위치 트

랜지스터, 상기 제 2 센스 트랜지스터와 상기 제 2 반전 센스 트랜지스터의 소스에 공통으로 제 1단이 연결되고 게이트에 상기 클럭 신호가 연결되는 제 2 스위치 트랜지스터, 상기 제 1 스위치 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 상기 선택 신호가 연결되며 접지 전압에 제 2단이 연결되는 제 1 선택 트랜지스터 및 상기 제 2 스위치 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 상기 반전 선택 신호가 연결되며 상기 접지 전압에 제 2단이 연결되는 제 2 선택 트랜지스터를 구비하는 것을 특징으로 한다.

<57> 상기 선택부는 상기 제 1 센스 트랜지스터와 상기 제 1 반전 센스 트랜지스터의 소스에 공통으로 제 1단이 연결되고 게이트에 상기 선택 신호가 연결되는 제 1 선택 트랜지스터, 상기 제 2 센스 트랜지스터와 상기 제 2 반전 센스 트랜지스터의 소스에 공통으로 제 1단이 연결되고 게이트에 상기 반전 선택 신호가 연결되는 제 2 선택 트랜지스터, 상기 제 1 선택 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 상기 클럭 신호가 연결되며 접지 전압에 제 2단이 연결되는 제 1 스위치 트랜지스터 및 상기 제 2 선택 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 상기 클럭 신호가 연결되며 상기 접지 전압에 제 2단이 연결되는 제 2 스위치 트랜지스터를 구비하는 것을 특징으로 한다.

<58> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

<59> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<60> 도 3은 본 발명의 실시예에 따른 센스 앰프 회로를 나타내는 회로도이다.

- <61> 도 3을 참조하면, 본 발명의 실시예에 따른 센스 앰프 회로(300)는 선택부(310), 센싱부(320), 래치부(330), 출력부(340) 및 스위치부(350)를 구비한다.
- <62> 래치부(330)는 클럭 신호(CLK)에 응답하여 제 1 및 제 2 노드(N1, N2)를 프리차지시키고, 센싱부(320)의 센싱 결과에 응답하여 제 1 및 제 2 노드(N1, N2)의 전압 레벨을 제어한다.
- <63> 좀 더 설명하면, 래치부(330)는 전원 전압(VDD)에 제 1단이 연결되고 제 1 노드(N1)에 제 2단이 연결되며 게이트에 클럭 신호(CLK)가 연결되는 제 1 프리차지 트랜지스터(PMP1), 전원 전압(VDD)에 제 1단이 연결되고 제 2 노드(N2)에 제 2단이 연결되며 게이트에 클럭 신호(CLK)가 연결되는 제 2 프리차지 트랜지스터(PMP2), 전원 전압(VDD)에 제 1단이 연결되고 제 1 노드(N1)에 제 2단이 연결되며 게이트에 제 2 노드(N2)가 연결되는 제 1 래치 트랜지스터(LMP1), 전원 전압(VDD)에 제 1단이 연결되고 제 2 노드(N2)에 제 2단이 연결되며 게이트에 제 1 노드(N1)가 연결되는 제 2 래치 트랜지스터(LMP2), 제 1 노드(N1)에 제 1단들이 공통으로 연결되고 각각의 게이트에 제 2 노드(N2)가 각각 연결되는 제 3 및 제 4 래치 트랜지스터들(LMN3, LMN4) 및 제 2 노드(N2)에 제 1단들이 공통으로 연결되고 각각의 게이트에 제 1 노드(N1)가 각각 연결되는 제 5 및 제 6 래치 트랜지스터들(LMN5, LMN6)을 구비한다.
- <64> 래치부(330)는 제 1 노드(N1)에 제 1단이 연결되고 스위치부(350)에 제 2단이 연결되며 게이트에 제 2 노드(N2)가 연결되는 제 1 전류 패스 트랜지스터(KMN1) 및 제 2 노드(N2)에 제 1단이 연결되고 스위치부(350)에 제 2단이 연결되며 게이트에 제 1 노드(N1)가 연결되는 제 2 전류 패스 트랜지스터(KMN2)를 더 구비할 수 있다.

- <65> 센싱부(320)는 선택된 제 1 신호 쌍(INH1, INL1) 또는 제 2 신호 쌍(INH2, INL2) 중 하나의 전압 레벨을 센싱 한다. 센싱부(320)는 제 3 래치 트랜지스터(LMN3)의 제 2단에 제 1단이 연결되고 게이트에 제 1 신호(INH1)가 연결되는 제 1 센스 트랜지스터(MN1), 제 6 래치 트랜지스터(LMN6)의 제 2단에 제 1단이 연결되고 게이트에 제 1 반전 신호(INL1)가 연결되는 제 1 반전 센스 트랜지스터(IMN1), 제 4 래치 트랜지스터(LMN4)의 제 2단에 제 1단이 연결되고 게이트에 제 2 신호(INH2)가 연결되는 제 2 센스 트랜지스터(MN2) 및 제 5 래치 트랜지스터(LMN5)의 제 2단에 제 1단이 연결되고 게이트에 제 1 반전 신호(INL1)가 연결되는 제 2 반전 센스 트랜지스터(IMN2)를 구비한다.
- <66> 선택부(310)는 선택 신호(SEL) 및 반전 선택 신호(ISEL)에 응답하여 제 1 신호(INH1)와 제 1 반전 신호(INL1)를 구비하는 제 1 신호 쌍(INH1, INL1)과 제 2 신호(INH2)와 제 2 반전 신호(INL2)를 구비하는 제 2 신호 쌍(INH2, INL2) 중 하나를 선택 한다.
- <67> 좀 더 설명하면, 선택부(310)는 제 1 센스 트랜지스터(MN1)의 제 2단과 제 1 반전 센스 트랜지스터(IMN1)의 제 2단에 공통으로 제 1단이 연결되고 게이트에 선택 신호(SEL)가 연결되며 제 2단이 제 3노드(N3)에 연결되는 제 1 선택 트랜지스터(SMN1) 및 제 2 센스 트랜지스터(MN2)의 제 2단과 제 2 반전 센스 트랜지스터(IMN2)의 제 2단에 공통으로 제 1단이 연결되고 게이트에 반전 선택 신호(ISEL)가 연결되며 제 2단이 제 3노드(N3)에 연결되는 제 2 선택 트랜지스터(SMN2)를 구비한다.
- <68> 출력부(340)는 제 1 및 제 2 노드(N1, N2)의 레벨을 반전시켜 대응되는 제 1 및 제 2 출력 신호(OUTH, OUTL)를 발생한다. 스위치부(350)는 클럭 신호(CLK)에 응답하여 선택부(310)의 동작을 제어한다.

- <69> 스위치부(350)는 제 3 노드(N3)에 제 1단이 연결되며 클럭 신호(CLK)가 게이트에 연결되고 접지 전압(VSS)에 제 2단이 연결되는 스위치 트랜지스터(SWMN)이다.
- <70> 이하, 도 3을 참조하여 본 발명의 실시예에 따른 센스 앰프 회로의 동작이 상세히 설명된다.
- <71> 도 3의 센스 앰프 회로(300)는 도 1의 센스 앰프 회로(100)와 달리 두 쌍의 차동 신호를 수신한다. 즉, 제 1 신호(INH1)와 제 1 반전 신호(INL1), 제 2 신호(INH2)와 제 2 반전 신호(INL2)이다. 본 발명은 두 쌍의 차동 신호 중 한 쌍을 선택함과 동시에 선택된 한 쌍의 차동 신호를 증폭하므로 센스 앰프 회로(300)의 뒷 단에 부담을 주지 않는다.
- <72> 클럭 신호(CLK)가 로우 레벨인 경우, 래치부(330)의 제 1 및 제 2 프리차지 트랜지스터(PMP1, PMP2)는 턴 온 되고, 제 1 및 제 2 노드(N1, N2)는 프리차지 된다. 제 3 내지 제 6 래치 트랜지스터(LMN3, LMN4, LMN5, LMN6)는 모두 턴 온 된다.
- <73> 클럭 신호(CLK)가 하이 레벨로 천이 되면, 스위치부(350)의 스위치 트랜지스터(SWMN)가 턴 온 된다. 선택부(310)는 선택 신호(SEL) 및 반전 선택 신호(ISEL)에 응답하여 제 1 신호(INH1)와 제 1 반전 신호(INL1)를 구비하는 제 1 신호 쌍(INH1, INL1)과 제 2 신호(INH2)와 제 2 반전 신호(INL2)를 구비하는 제 2 신호 쌍(INH2, INL2) 중 하나를 선택한다.
- <74> 선택 신호(SEL)가 하이 레벨을 가지고 반전 선택 신호(ISEL)는 로우 레벨을 가진다고 가정한다. 그러면 제 1 선택 트랜지스터(SMN1)는 턴 온 되고 제 2 선택 트랜지스터(SMN2)는 턴 오프 된다.

- <75> 제 1 선택 트랜지스터(SMN1)가 턴 온 되면 센싱부(320)의 제 1 센스 트랜지스터(MN1) 및 제 1 반전 센스 트랜지스터(IMN1)는 동작되고 제 2 센스 트랜지스터(MN2) 및 제 2 반전 센스 트랜지스터(IMN2)는 동작되지 않는다. 따라서, 제 1 센스 트랜지스터(MN1)와 제 1 반전 센스 트랜지스터(IMN1)의 게이트로 입력되는 제 1 신호(INH1) 및 제 1 반전 신호(INL1)가 센싱 되고 제 2 신호(INH2) 및 제 2 반전 신호(INL2)는 센싱 되지 않는다.
- <76> 제 1 신호(INH1)의 전압 레벨이 제 1 반전 신호(INL1)의 전압 레벨보다 좀 더 높다고 가정한다. 제 3 내지 제 6 래치 트랜지스터(LMN3, LMN4, LMN5, LMN6)는 모두 턴 온 되어 있지만, 제 2 센스 트랜지스터(MN2)와 제 2 반전 센스 트랜지스터(IMN2)가 동작하지 않으므로 제 4 래치 트랜지스터(LMN4)와 제 5 래치 트랜지스터(LMN5)도 동작하지 않는다.
- <77> 제 1 신호(INH1)의 전압 레벨이 제 1 반전 신호(INL1)의 전압 레벨보다 좀 더 높으므로 제 1 센스 트랜지스터(MN1)가 제 1 반전 센스 트랜지스터(IMN1)보다 더 많이 턴 온 된다. 그러면 제 1 노드(N1)의 전압 레벨이 제 2 노드(N2)의 전압 레벨보다 낮아진다.
- <78> 출력부(340)는 인버터들(I1, I2)을 이용하여 제 1 노드(N1) 및 제 2 노드(N2)의 전압 레벨을 반전시켜 대응되는 제 1 출력 신호(OUTH) 및 제 2 출력 신호(OUTL)를 출력한다. 제 1 출력 신호(OUTH)의 전압 레벨이 제 2 출력 신호(OUTL)의 전압 레벨보다 좀 더 높을 것이다. 결국, 제 1 신호(INH1) 및 제 1 반전 신호(INL1)는 각각 제 1 출력 신호(OUTH) 및 제 2 출력 신호(OUTL)로서 증폭되어 출력된다.
- <79> 반대로, 선택 신호(SEL)가 로우 레벨을 가지고 반전 선택 신호(ISEL)는 하이 레벨을 가진다고 가정한다면, 제 2 센스 트랜지스터(MN2)와 제 2 반전 센스 트랜지스터

(IMN2)가 동작될 것이므로 제 2 신호(INH2) 및 제 2 반전 신호(INL2)가 증폭되어 출력될 것이다.

<80> 도 3의 센스 앰프 회로(300)의 구조에 의하여 두 쌍의 차동 신호들이 입력되어도 센스 앰프 회로 뒤 단에 부담을 주지 않을 수 있다.

<81> 도 4는 도 3의 센스 앰프 회로의 구조를 변경한 센스 앰프 회로를 나타내는 회로도이다.

<82> 도 4의 센스 앰프 회로(400)는 선택부(410)의 구조만이 도 3의 센스 앰프 회로(300)의 선택부(310)의 구조와 다르다.

<83> 선택부(410)는 제 1 센스 트랜지스터(MN1)의 제 2단에 제 1단이 연결되고 선택 신호(SEL)가 게이트에 연결되며 제 2단이 제 3노드(N3)에 연결되는 제 1 선택 트랜지스터(SMN1), 제 1 반전 센스 트랜지스터(IMN1)의 제 2단에 제 1단이 연결되고 선택 신호(SEL)가 게이트에 연결되며 제 2단이 제 3노드(N3)에 연결되는 제 1 반전 선택 트랜지스터(ISMN1), 제 2 센스 트랜지스터(MN2)의 제 2단에 제 1단이 연결되고 반전 선택 신호(ISEL)가 게이트에 연결되며 제 2단이 제 3노드에 연결되는 제 2 선택 트랜지스터(SMN2) 및 제 2 반전 센스 트랜지스터(IMN2)의 제 2단에 제 1단이 연결되고 반전 선택 신호(ISEL)가 게이트에 연결되며 제 2단이 제 3노드(N3)에 연결되는 제 2 반전 선택 트랜지스터(ISMN2)를 구비한다.

<84> 도 3의 선택부(310)의 제 1 선택 트랜지스터(SMN1)는 제 1 센스 트랜지스터(MN1)와 제 1 반전 센스 트랜지스터(IMN1)에 공통으로 연결되어 제 1 센스 트랜지스터(MN1)와 제 1 반전 센스 트랜지스터(IMN1)를 모두 제어한다.

- <85> 도 4의 선택부(410)의 제 1 센스 트랜지스터(MN1)는 제 1 선택 트랜지스터(SMN1)로 제어하고, 제 1 반전 센스 트랜지스터(IMN1)는 제 1 반전 선택 트랜지스터(ISMN1)로 제어한다. 마찬가지로, 제 2 센스 트랜지스터(MN2)는 제 2 선택 트랜지스터(SMN2)로 제어하고, 제 2 반전 센스 트랜지스터(IMN2)는 제 2 반전 선택 트랜지스터(ISMN2)로 제어한다.
- <86> 도 4의 선택부(410)는 도 3의 선택부(310)와 동일한 기능을 한다는 것은 본 발명의 기술 분야에서 통상의 지식을 가진 자라면 알 수 있으므로 상세한 설명은 생략한다.
- <87> 제 1 및 제 2 프리차지 트랜지스터(PMP1, PMP2), 제 1 및 제 2 래치 트랜지스터(LMP1, LMP2)는 피모스 트랜지스터이고, 제 3 내지 제 6 래치 트랜지스터들(LMN3, LMN4, LMN5, LMN6), 제 1 및 제 2 센스 트랜지스터(MN1, MN2), 제 1 및 제 2 반전 센스 트랜지스터(IMN1, IMN2), 제 1 및 제 2 선택 트랜지스터(SMN1, SMN2), 제 1 및 제 2 반전 선택 트랜지스터(ISMN1, ISMN2), 스위치 트랜지스터(SWMN)는 엔모스 트랜지스터인 것을 특징으로 한다.
- <88> 그러나, 본 발명의 기술 분야에서 통상의 지식을 가진 자라면 피모스 트랜지스터를 엔모스 트랜지스터로, 엔모스 트랜지스터를 피모스 트랜지스터로 전환하여 센스 앰프 회로를 구성할 수 있음을 알 수 있을 것이다.
- <89> 도 5는 도 3의 센스 앰프 회로의 구조를 변경한 센스 앰프 회로를 나타내는 회로도이다.
- <90> 도 5의 센스 앰프 회로(500)는 스위치부(550)의 구조만이 도 4의 센스 앰프 회로(400)의 스위치부(450)의 구조와 다르다.

- <91> 도 5를 참조하면, 도 4의 스위치부(450)와 달리, 선택부(510)의 각각의 선택 트랜지스터(SMN1, SMN2, ISMN1, ISMN2)에 스위치 트랜지스터들(SWMN1, SWMN2, SWMN3, SWMN4)이 각각 연결되어 있다.
- <92> 도 5의 스위치부(550)의 기능은 본 발명의 기술분야에서 통상의 지식을 가진 자라면 도 4의 스위치부(450)의 기능과 동일한 것임을 알 수 있으므로 상세한 설명은 생략한다.
- <93> 도 6은 본 발명의 다른 실시예에 따른 센스 앰프 회로를 나타내는 회로도이다.
- <94> 도 6을 참조하면, 본 발명의 다른 실시예에 따른 센스 앰프 회로(600)는 선택부(610), 센싱부(620), 래치부(630) 및 출력부(640)를 구비하는 것을 특징으로 한다.
- <95> 래치부(630)는 클럭 신호(CLK)의 제 2 레벨에 응답하여 제 1 및 제 2 노드(N1, N2)를 프리차지 시키고, 센싱부(620)의 센싱 결과에 응답하여 제 1 및 제 2 노드(N1, N2)의 전압 레벨을 제어한다.
- <96> 래치부(630)의 구체적인 구성은 도 3의 센스 앰프 회로(300)의 래치부(330)와 동일하므로 상세한 설명을 생략한다.
- <97> 센싱부(620)는 상기 선택된 제 1 신호 쌍 또는 제 2 신호 쌍 중 하나의 전압 레벨을 센싱 한다. 센싱부(620)의 구성도 도 3의 센스 앰프 회로(300)의 센싱부(320)와 동일하므로 상세한 설명을 생략한다.
- <98> 선택부(610)는 클럭 신호(CLK)의 제 1 레벨, 선택 신호(SEL) 및 반전 선택 신호(ISEL)에 응답하여 제 1 신호(INH1)와 제 1 반전 신호(INL1)를 구비하는 제 1 신호 쌍과

제 2 신호(INH2)와 제 2 반전 신호(INL2)를 구비하는 제 2 신호 쌍 중 하나를 선택한다

<99> 좀더 설명하면, 선택부(610)는 제 1 센스 트랜지스터(MN1)의 제 2단과 제 1 반전 센스 트랜지스터(IMN1)의 제 2단에 공통으로 제 1단이 연결되고 게이트에 클럭 신호(CLK)가 연결되는 제 1 스위치 트랜지스터(SWMN1), 제 2 센스 트랜지스터(MN2)의 제 2단과 제 2 반전 센스 트랜지스터(IMN2)의 제 2단에 공통으로 제 1단이 연결되고 게이트에 클럭 신호(CLK)가 연결되는 제 2 스위치 트랜지스터(SWMN2), 제 1 스위치 트랜지스터(SWMN1)의 제 2단에 제 1단이 연결되고 게이트에 선택 신호(SEL)가 연결되며 제 2단이 접지 전압(VSS)에 연결되는 제 1 선택 트랜지스터(SMN1) 및 제 2 스위치 트랜지스터(SWMN2)의 제 2단에 제 1단이 연결되고 게이트에 반전 선택 신호(ISEL)가 연결되며 제 2단이 접지 전압(VSS)에 연결되는 제 2 선택 트랜지스터(SMN2)를 구비한다.

<100> 출력부는 제 1 및 제 2 노드(N1, N2)의 레벨을 반전시켜 대응되는 제 1 및 제 2 출력 신호(OUTH, OUS)를 발생한다.

<101> 이하, 도 6을 참조하여 본 발명의 다른 실시예에 따른 센스 앰프 회로의 동작이 상세히 설명된다.

<102> 도 6의 센스 앰프 회로(600)는 스위치 트랜지스터들(SWMN1, SWMN2)과 선택 트랜지스터들(SMN1, SMN2)의 위치가 도 3의 센스 앰프 회로(300)와 차이가 난다. 즉, 도 3의 센스 앰프 회로(300)는 제 1 및 제 2 선택 트랜지스터(SMN1, SMN2)가 센싱부(320)와 직접 연결되어 있고, 스위치 트랜지스터(SWMN)가 선택부(310)와 접지 전압(VSS)사이에 연결되어 있다.

- <103> 그러나 도 6의 센스 앰프 회로(600)는 제 1 및 제 2 스위치 트랜지스터(SWMN1, SWMN2)가 센싱부(620)와 직접 연결되어 있고, 제 1 및 제 2 선택 트랜지스터(SMN1, SMN2)가 접지 전압(VSS)과 연결되어 있다.
- <104> 클럭 신호(CLK)가 로우 레벨일 경우 래치부(630)는 제 1 및 제 2 노드(N1, N2)를 프리차지 한다. 클럭 신호(CLK)가 하이 레벨로 천이 되면 제 1 및 제 2 스위치 트랜지스터들(SWMN1, SWMN2)이 턴 온 된다. 여기서 설명의 편의상 클럭 신호(CLK)의 하이 레벨을 제 1 레벨이라 하고 로우 레벨을 제 2 레벨이라 한다.
- <105> 제 1 및 제 2 스위치 트랜지스터들(SWMN1, SWMN2)이 턴 온 된 상태에서 선택 신호(SEL)가 하이 레벨로 반전 선택 신호(ISEL)가 로우 레벨로 입력된다고 가정한다. 그러면 제 1 선택 트랜지스터(SMN1)는 턴 온 되고 제 2 선택 트랜지스터(SMN2)는 턴 오프 된다.
- <106> 제 2 스위치 트랜지스터(SWMN2)가 턴 온 되어도 제 2 선택 트랜지스터(SMN2)가 턴 오프 되므로 제 2 신호(INH2) 및 제 2 반전 신호(INL2)가 인가되는 제 2 센스 트랜지스터(MN2) 및 제 2 반전 센스 트랜지스터(IMN2)는 동작되지 않고 제 1 신호(INH1) 및 제 1 반전 신호(INL1)가 인가되는 제 1 센스 트랜지스터(MN1) 및 제 1 반전 센스 트랜지스터(IMN1)는 동작된다.
- <107> 제 1 신호(INH1)의 전압 레벨이 제 1 반전 신호(INL1)의 전압 레벨보다 좀 더 높다고 가정한다. 제 3 내지 제 6 래치 트랜지스터(LMN3, LMN4, LMN5, LMN6)는 모두 턴 온 되어 있지만, 제 2 센스 트랜지스터(MN2)와 제 2 반전 센스 트랜지스터(IMN2)가 동작하지 않으므로 제 4 래치 트랜지스터(LMN4)와 제 5 래치 트랜지스터(LMN5)도 동작하지 않는다.

- <108> 제 1 신호(INH1)의 전압 레벨이 제 1 반전 신호(INL1)의 전압 레벨보다 좀 더 높으므로 제 1 센스 트랜지스터(MN1)가 제 1 반전 센스 트랜지스터(IMN1)보다 더 많이 턴 온된다. 그러면 제 1 노드(N1)의 전압 레벨이 제 2 노드(N2)의 전압 레벨보다 낮아진다.
- <109> 출력부(640)는 인버터들(I1, I2)을 이용하여 제 1 노드(N1) 및 제 2 노드(N2)의 전압 레벨을 반전시켜 대응되는 제 1 출력 신호(OUTH) 및 제 2 출력 신호(OUTL)를 출력한다. 제 1 출력 신호(OUTH)의 전압 레벨이 제 2 출력 신호(OUTL)의 전압 레벨보다 좀 더 높을 것이다. 결국, 제 1 신호(INH1) 및 제 1 반전 신호(INL1)는 각각 제 1 출력 신호(OUTH) 및 제 2 출력 신호(OUTL)로서 증폭되어 출력된다.
- <110> 반대로, 선택 신호(SEL)가 로우 레벨을 가지고 반전 선택 신호(ISEL)는 하이 레벨을 가진다고 가정한다면, 제 2 센스 트랜지스터(MN2)와 제 2 반전 센스 트랜지스터(IMN2)가 동작될 것이므로 제 2 신호(INH2) 및 제 2 반전 신호(INL2)가 증폭되어 출력될 것이다.
- <111> 도 6의 센스 앰프 회로(600)의 구조에 의하여 두 쌍의 차동 신호들이 입력되어도 센스 앰프 회로 뒤 단에 부담을 주지 않을 수 있다.
- <112> 도 7은 도 6의 센스 앰프 회로의 구조를 변경한 센스 앰프 회로를 나타내는 회로도이다.
- <113> 도 7을 참조하면, 스위치 트랜지스터들(SWMN1, SWMN2, ISWMN1, ISWMN2)이 각각 대응되는 센스 트랜지스터(MN1, MN2)들 및 반전 센스 트랜지스터들(IMN1, IMN2)에 연결되어 있다.

- <114> 도 7의 선택부(710)의 기능은 본 발명의 기술분야에서 통상의 지식을 가진 자라면 도 6의 선택부(610)의 기능과 동일한 것임을 알 수 있으므로 상세한 설명은 생략한다.
- <115> 도 8은 도 6의 센스 앰프 회로의 구조를 변경한 센스 앰프 회로를 나타내는 회로도이다.
- <116> 도 8을 참조하면, 도 8의 선택부(810)는 도 7의 선택부(710)의 스위치 트랜지스터들(SWMN1, SWMN2, ISWMN1, ISWMN2)과 동일한 스위치 트랜지스터(SWMN1, SWMN2, ISWMN1, ISWMN2)구조를 가지며, 선택 트랜지스터들(SMN1, ISMN1, SMN2, ISMN2)이 대응되는 스위치 트랜지스터들(SWMN1, SWMN2, ISWMN1, ISWMN2)에 각각 연결되어 있다.
- <117> 도 6의 선택 트랜지스터(SMN1, SMN2)의 구조와 도 8의 선택 트랜지스터(SMN1, ISMN1, SMN2, ISMN2)의 구조가 동일한 기능을 한다는 것은 본 발명의 기술분야에서 통상의 지식을 가진 자라면 알 수 있을 것이므로 상세한 설명은 생략한다.
- <118> 도 9는 본 발명의 다른 실시예에 따른 비트 비교 회로를 나타내는 회로도이다.
- <119> 도 9를 참조하면, 본 발명의 다른 실시예에 따른 비트 비교 회로(900)는 램 셀부(905), 선택부(910), 센싱부(920), 래치부(930) 및 출력부(940)를 구비하는 것을 특징으로 한다.
- <120> 램 셀부(905)는 제어 신호(CS)에 응답하여 데이터 라인 쌍으로부터 데이터(DATA) 및 데이터(DATA)와 반대되는 레벨을 가지는 반전 데이터(INDATA)를 수신하여 저장하고 선택 신호(SEL) 및 반전 선택 신호(ISEL)를 발생한다.
- <121> 좀 더 설명하면, 램 셀부(905)는 인버터의 출력이 다른쪽 인버터의 입력으로 연결되는 제 1 및 제 2 인버터(ID1, ID2)를 구비하는 데이터 유지부(906), 제어 신호(CS)에

응답하여 데이터 라인 쌍 중 하나로부터 데이터(DATA)를 제 1 인버터(ID1)의 입력 단으로 전송하는 제 1 제어 트랜지스터(CMN1) 및 제어 신호(CS)에 응답하여 데이터 라인 쌍 중 다른 하나로부터 반전 데이터(INDATA)를 상기 제 2 인버터(ID2)의 입력 단으로 전송하는 제 2 제어 트랜지스터(CMN2)를 구비한다. 데이터 라인 쌍은 비트 라인 쌍(BL, BLB) 인 것을 특징으로 한다.

<122> 선택부(910)는 클럭 신호(CLK)의 제 1 레벨, 선택 신호(SEL) 및 반전 선택 신호(ISEL)에 응답하여 제 1 신호(INH1)와 제 1 반전 신호(INL1)를 구비하는 제 1 신호 쌍과 제 2 신호(INH2)와 제 2 반전 신호(INL2)를 구비하는 제 2 신호 쌍 중 하나를 선택한다

<123> 여기서, 데이터(DATA)는 선택 신호(SEL)와 동일한 신호이고, 반전 데이터(INDATA)는 반전 선택 신호(ISEL)와 동일한 신호이다. 또한, 제 1 신호(INH1)와 제 2 반전 신호(INL2)는 동일한 신호이고, 제 2 신호(INH2)와 제 1 반전 신호(INL1)는 동일한 신호이다. 제 1 신호(INH1)와 제 1 반전 신호(INL1)는 서로 반대되는 레벨을 가지며 비트 비교 회로(900)로 입력되는 어드레스 데이터인 것을 특징으로 한다.

<124> 센싱부(920)는 선택된 제 1 신호 쌍 또는 제 2 신호 쌍 중 하나의 전압 레벨을 센싱 한다. 센싱부(920)는 클럭 신호(CLK) 및 선택 신호(SEL)가 제 1 레벨인 경우, 제 1 신호(INH1)가 게이트로 인가되는 제 1 센스 트랜지스터(MN1) 및 제 1 반전 신호(INL1)가 게이트로 인가되는 제 1 반전 센스 트랜지스터(IMN1)가 턴 온 되며, 제 1 센스 트랜지스터(MN1) 및 제 1 반전 센스 트랜지스터(IMN1)의 소스가 공통으로 연결된다.

<125> 또한 클럭 신호(CLK) 및 반전 선택 신호(ISEL)가 제 1 레벨인 경우, 제 2 신호(INH2)가 게이트로 인가되는 제 2 센스 트랜지스터(MN2) 및 제 2 반전 신호(INL2)가 게

이트로 인가되는 제 2 반전 센스 트랜지스터(IMN2)가 턴 온 되며, 제 2 센스 트랜지스터(MN2) 및 제 2 반전 센스 트랜지스터(IMN2)의 소스가 공통으로 연결된다.

<126> 래치부(930)는 클럭 신호(CLK)의 제 2 레벨에 응답하여 제 1 및 제 2 노드(N1, N2)를 프리차지 시키고, 센싱부(920)의 센싱 결과에 응답하여 제 1 및 제 2 노드(N1, N2)의 전압 레벨을 제어한다.

<127> 출력부(940)는 제 1 및 제 2 노드(N1, N2)의 레벨을 반전시켜 대응되는 제 1 및 제 2 출력 신호(OUTH, OU수)를 발생하고, 제 2 출력 신호(OUTL)의 레벨을 이용하여 데이터(DATA) 및 반전 데이터(INDATA)와 제 1 신호(INH1) 및 제 1 반전 신호(INL1)가 일치하는지를 판단한다.

<128> 이하, 도 9를 참조하여 본 발명의 실시예에 따른 비트 비교 회로의 동작이 상세히 설명된다.

<129> 도 2에서 알 수 있는 바와 같이, 일반적인 비트 비교 회로(200)는 입력되는 어드레스 데이터가 센스 앰프 회로(210)와 드라이버(220)를 통하여 증폭되어야 하고 또한 비교 단계를 거쳐서 매치 신호가 발생된다. 따라서 어드레스 데이터가 입력된 후 매치 신호가 출력될 때까지 시간이 길게 소비되는 문제가 있다.

<130> 이러한 문제를 해결하기 위하여 도 9의 비트 비교 회로(900)는 도 2의 센스 앰프 회로(210) 대신 본 발명의 센스 앰프 회로를 이용한다. 그리고, 본 발명의 센스 앰프 회로는 비트 비교 회로(900)의 일 부분을 이룬다.

- <131> 비트 비교 회로(900)로 입력되는 어드레스 데이터를 센스 앰프 회로로 입력되는 제 1 신호 쌍으로서 입력한다. 그리고, 제 2 신호 쌍은 제 1 신호 쌍을 반전시켜 센스 앰프 회로로 입력한다. 그러면 비트 비교 회로(900)가 어드레스 데이터와 내부에 저장된 데이터를 비교하고 증폭하는 시간이 단축될 수 있다. 따라서, 비트 비교 회로를 구비하는 캐쉬 메모리가 고속동작을 할 수 있다.
- <132> 도 9의 비트 비교 회로(900)의 동작을 설명한다. 먼저 램 셀부(905)는 비트 라인 쌍(BL, BLB)으로부터 제 1 및 제 2 제어 트랜지스터(CMN1, CMN2)를 통하여 데이터(DATA) 및 반전 데이터(INDATA)를 수신하여 데이터 유지부(906)에 저장한다. 데이터(DATA) 및 반전 데이터(INDATA)는 제 1 및 제 2 제어 트랜지스터(CMN1, CMN2)가 제어 신호(CS)에 응답하여 턴 온 되면 데이터 유지부(906)로 인가된다. 제어 신호(CS)는 워드 라인(WD)에 의하여 제어된다.
- <133> 선택부(910), 센싱부(920), 래치부(930) 및 출력부(940)는 도 6의 센스 앰프 회로(600)의 구성과 동일하다. 즉, 도 9의 비트 비교 회로(900)는 도 6의 센스 앰프 회로(600)와 램 셀부(905)를 결합한 것이다.
- <134> 데이터(DATA)가 로우 레벨이고 반전 데이터(INDATA)가 하이 레벨이라고 가정하자. 데이터(DATA)가 선택 신호(SEL)로서 제 1 선택 트랜지스터(SMN1)로 인가되고 반전 데이터(INDATA)가 반전 선택 신호(ISEL)로서 제 2 선택 트랜지스터(SMN2)로 인가된다.
- <135> 클럭 신호(CLK)가 하이 레벨인 경우, 제 2 선택 트랜지스터(SMN2)가 턴 온 되므로 제 2 신호(INH2)가 게이트로 인가되는 제 2 센스 트랜지스터(MN2) 및 제 2 반전 신호(INL2)가 게이트로 인가되는 제 2 반전 센스 트랜지스터(IMN2)가 턴 온 된다.

- <136> 제 1 신호(INH1)의 전압 레벨이 제 1 반전 신호(INL1)의 전압 레벨보다 좀 더 높다고 가정한다. 제 2 반전 신호(INL2)가 제 1 신호(INH1)와 동일하므로 제 2 반전 센스 트랜지스터(IMN2)가 제 2 센스 트랜지스터(MN2)보다 좀 더 많이 턴 온 된다.
- <137> 그러면 제 2 노드(N2)의 전압 레벨이 제 1 노드(N1)의 전압 레벨보다 더 낮아진다. 그리고, 출력부(940)는 제 2 출력 신호(OUTL)의 전압 레벨을 제 1 출력 신호(OUTH)의 전압 레벨보다 좀 더 높게 출력한다.
- <138> 비트 비교 회로(900)의 출력 신호들(OUTH, OUTL) 중 제 2 출력 신호(OUTL)의 레벨이 하이 레벨이면 램 셀부(905)에 저장된 데이터 및 반전 데이터(INDATA)와 비트 비교 회로(900)로 입력되는 제 1 신호(INH1) 및 제 1 반전 신호(INL1), 즉, 어드레스 데이터의 레벨이 다르다는 것을 나타낸다.
- <139> 반대로, 제 2 출력 신호(OUTL)의 레벨이 로우 레벨이면 램 셀부(905)에 저장된 데이터 및 반전 데이터(INDATA)와 비트 비교 회로(900)로 입력되는 제 1 신호(INH1) 및 제 1 반전 신호(INL1), 즉, 어드레스 데이터의 레벨이 동일하다는 것을 나타낸다.
- <140> 위에서 든 예에서, 제 2 출력 신호(OUTL)의 레벨이 하이 레벨이므로 비트 비교 회로(900)로 입력되는 어드레스 데이터, 즉 제 1 및 제 1 반전 신호(INH1, INL1)와 데이터 유지부(906)에 저장된 데이터(DATA) 및 반전 데이터(INDATA)가 서로 불일치함을 알 수 있다.
- <141> 이와 같이, 도 9의 비트 비교 회로(900)는 본 발명의 센스 앰프 회로를 구비함으로써 종래의 비트 비교 회로(200)보다 어드레스 데이터와 저장된 데이터를 비교하는 시간이 매우 단축될 수 있다.

<142> 도 9의 비트 비교 회로(900)는 램 셀부(905)와 도 6의 센스 앰프 회로(600)를 결합한 것이지만, 램 셀부(905)와 도 7의 센스 앰프 회로(700)나 도 8의 센스 앰프 회로(800)가 결합될 수 있다는 것은 본 발명의 기술분야에서 통상의 지식을 가진 자라면 쉽게 이해할 수 있을 것이다.

<143> 도 10은 도 9의 비트 비교 회로의 구조를 변경한 비트 비교 회로를 나타내는 회로도이다.

<144> 도 10의 비트 비교 회로(1000)는 램 셀부와 도 3의 센스 앰프 회로(300)를 결합한 것이며 당업자라면 비교 회로(1000)의 동작은 도 9의 비트 비교 회로(900)의 동작과 동일하다는 것을 알 수 있을 것이다. 따라서, 동작의 상세한 설명은 생략한다.

<145> 또한, 도 10의 비트 비교 회로(1000)는 램 셀부와 도 3의 센스 앰프 회로(300)를 결합한 것이지만, 램 셀부와 도 4의 센스 앰프 회로(400)나 도 5의 센스 앰프 회로(500)가 결합될 수 있다는 것은 본 발명의 기술분야에서 통상의 지식을 가진 자라면 쉽게 이해할 수 있을 것이다.

<146> 도 11은 도 9 및 도 10의 비트 비교 회로를 설명하는 블록도이다.

<147> 도 9 및 도 10의 비트 비교 회로(900, 1000)는 램 셀부(1110)와 센스 앰프 회로(1120)의 결합으로 이루어진다는 것을 설명하고 있다. 램 셀부(1110)는 워드 라인(WD)에 의해 제어되는 제어 신호에 응답하여 비트라인 쌍으로부터 데이터(DATA) 및 반전 데이터(INDATA)를 수신하여 저장하고 데이터(DATA) 및 반전 데이터(INDATA)를 선택 신호(SEL) 및 반전 선택 신호(ISEL)로서 출력한다.

- <148> 센스 앰프 회로(1120)는 제 1 신호(INH1)와 제 1 반전 신호(INL1), 제 1 신호를 반전시킨 제 2 반전 신호(INL2), 제 1 반전 신호(INL1)를 반전시킨 제 2 신호(INH2)를 수신하고, 선택 신호(SEL)에 응답하여 제 1 신호(INH1)와 제 1 반전 신호(INL1)를 선택하거나 또는 제 2 신호(INH2)와 제 2 반전 신호(INL2)를 선택한다.
- <149> 그리고, 선택된 신호들의 전압 레벨과 램 셀부(1110)에 저장된 데이터(DATA) 및 반전 데이터(INDATA)의 전압 레벨을 비교하여 제 1 및 제 2 출력 신호(OUTH, OUTL)를 출력한다. 제 2 출력 신호(OUTL)의 전압 레벨에 의하여 램 셀부(1110)에 저장된 데이터(DATA) 및 반전 데이터(INDATA)와 비트 비교 회로(1100)로 입력되는 어드레스 데이터, 즉, 제 1 신호(INH1) 및 제 1 반전 신호(INL1)가 일치하는 지 여부를 판단한다.
- <150> 센스 앰프 회로(1120)는 도 3 내지 도 8에 도시된 본 발명에 따른 센스 앰프 회로들(300, 400, 500, 600, 700, 800)이 이용될 수 있다.
- <151> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

- <152> 상술한 바와 같이 본 발명에 따른 센스 앰프 회로는 두 쌍의 차동 신호를 수신하고 이들 두 쌍의 차동 신호들 중 한 쌍의 신호를 선택함과 동시에 선택된 신호만을 증폭함

으로써 센스 앰프 회로의 다음 단계 로직(logic) 부담을 주지 않는 장점이 있다. 또한 본 발명의 센스 앰프 회로를 구비하는 비트 비교 회로는 동작 속도가 빨라지므로 고속 캐쉬 메모리를 구현할 수 있는 장점이 있다.

【특허청구범위】**【청구항 1】**

선택 신호 및 반전 선택 신호에 응답하여 제 1 신호와 제 1 반전 신호를 구비하는 제 1 신호 쌍과 제 2 신호와 제 2 반전 신호를 구비하는 제 2 신호 쌍 중 하나를 선택하는 선택부 ;

상기 선택된 제 1 신호 쌍 또는 제 2 신호 쌍 중 하나의 전압 레벨을 센싱하는 센싱부 ;

클럭 신호에 응답하여 제 1 및 제 2 노드를 프리차지 시키고, 상기 센싱부의 센싱 결과에 응답하여 상기 제 1 및 제 2 노드의 전압 레벨을 제어하는 래치부 ;

상기 제 1 및 제 2 노드의 레벨을 반전시켜 대응되는 제 1 및 제 2 출력 신호를 발생하는 출력부 ; 및

상기 클럭 신호에 응답하여 상기 선택부의 동작을 제어하는 스위치부를 구비하는 것을 특징으로 하는 센스 앰프 회로.

【청구항 2】

제 1항에 있어서, 상기 래치부는,

전원 전압에 제 1단이 연결되고 상기 제 1 노드에 제 2단이 연결되며 게이트에 상기 클럭 신호가 연결되는 제 1 프리차지 트랜지스터 ;

상기 전원 전압에 제 1단이 연결되고 상기 제 2 노드에 제 2단이 연결되며 게이트에 상기 클럭 신호가 연결되는 제 2 프리차지 트랜지스터 ;

상기 전원 전압에 제 1단이 연결되고 상기 제 1 노드에 제 2단이 연결되며 게이트에 상기 제 2 노드가 연결되는 제 1 래치 트랜지스터 ;

상기 전원 전압에 제 1단이 연결되고 상기 제 2 노드에 제 2단이 연결되며 게이트에 상기 제 1 노드가 연결되는 제 2 래치 트랜지스터 ;

상기 제 1 노드에 제 1단들이 공통으로 연결되고 각각의 게이트에 제 2 노드가 각각 연결되는 제 3 및 제 4 래치 트랜지스터들 ; 및

상기 제 2 노드에 제 1단들이 공통으로 연결되고 각각의 게이트에 제 1 노드가 각각 연결되는 제 5 및 제 6 래치 트랜지스터들을 구비하는 것을 특징으로 하는 센스 앰프 회로.

【청구항 3】

제 2 항에 있어서, 상기 래치부는,

상기 제 1 노드에 제 1단이 연결되고 상기 스위치부에 제 2단이 연결되며 게이트에 상기 제 2 노드가 연결되는 제 1 전류 패스 트랜지스터 ; 및

상기 제 2 노드에 제 1단이 연결되고 상기 스위치부에 제 2단이 연결되며 게이트에 상기 제 1 노드가 연결되는 제 2 전류 패스 트랜지스터를 더 구비하는 것을 특징으로 하는 센스 앰프 회로.

【청구항 4】

제 2항에 있어서, 상기 센싱부는,

상기 제 3 래치 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 상기 제 1 신호가 연결되는 제 1 센스 트랜지스터 ;

상기 제 6 래치 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 상기 제 1 반전 신호가 연결되는 제 1 반전 센스 트랜지스터 ;

상기 제 4 래치 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 상기 제 2 신호가 연결되는 제 2 센스 트랜지스터 ; 및

상기 제 5 래치 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 상기 제 1 반전 신호가 연결되는 제 2 반전 센스 트랜지스터를 구비하는 것을 특징으로 하는 센스 앰프 회로.

【청구항 5】

제 4항에 있어서, 상기 선택부는,

상기 제 1 센스 트랜지스터의 제 2단과 상기 제 1 반전 센스 트랜지스터의 제 2단에 공통으로 제 1단이 연결되고 게이트에 상기 선택 신호가 연결되며 제 2단이 제 3노드에 연결되는 제 1 선택 트랜지스터 ; 및

상기 제 2 센스 트랜지스터의 제 2단과 상기 제 2 반전 센스 트랜지스터의 제 2단에 공통으로 제 1단이 연결되고 게이트에 상기 반전 선택 신호가 연결되며 제 2단이 상기 제 3노드에 연결되는 제 2 선택 트랜지스터를 구비하는 것을 특징으로 하는 센스 앰프 회로.

【청구항 6】

제 4항에 있어서, 상기 선택부는,

상기 제 1 센스 트랜지스터의 제 2단에 제 1단이 연결되고 상기 선택 신호가 게이트에 연결되며 제 2단이 제 3노드에 연결되는 제 1 선택 트랜지스터 ;

상기 제 1 반전 센스 트랜지스터의 제 2단에 제 1단이 연결되고 상기 선택 신호가 게이트에 연결되며 제 2단이 제 3노드에 연결되는 제 1 반전 선택 트랜지스터 ;

상기 제 2 센스 트랜지스터의 제 2단에 제 1단이 연결되고 상기 반전 선택 신호가 게이트에 연결되며 제 2단이 제 3노드에 연결되는 제 2 선택 트랜지스터 ; 및

상기 제 2 반전 센스 트랜지스터의 제 2단에 제 1단이 연결되고 상기 반전 선택 신호가 게이트에 연결되며 제 2단이 제 3노드에 연결되는 제 2 반전 선택 트랜지스터를 구비하는 것을 특징으로 하는 센스 앰프 회로.

【청구항 7】

제 5항 또는 제 6항에 있어서, 상기 스위치부는,

상기 제 3 노드에 제 1단이 연결되며 상기 클럭 신호가 게이트에 연결되고 접지 전압에 제 2단이 연결되는 스위치 트랜지스터인 것을 특징으로 하는 센스 앰프 회로.

【청구항 8】

제 7항에 있어서, 상기 제 1 및 제 2 프리차지 트랜지스터, 제 1 및 제 2 래치 트랜지스터는 피모스 트랜지스터이고,

상기 제 3 내지 제 6 래치 트랜지스터들, 상기 제 1 및 제 2 센스 트랜지스터, 상기 제 1 및 제 2 반전 센스 트랜지스터, 상기 제 1 및 제 2 선택 트랜지스터, 상기 제 1 및 제 2 반전 선택 트랜지스터, 상기 스위치 트랜지스터는 엔모스 트랜지스터인 것을 특징으로 하는 센스 앰프 회로.

【청구항 9】

클럭 신호의 제 1 레벨, 선택 신호 및 반전 선택 신호에 응답하여 제 1 신호와 제 1 반전 신호를 구비하는 제 1 신호 쌍과 제 2 신호와 제 2 반전 신호를 구비하는 제 2 신호 쌍 중 하나를 선택하는 선택부 ;

상기 선택된 제 1 신호 쌍 또는 제 2 신호 쌍 중 하나의 전압 레벨을 센싱하는 센싱부 ;

상기 클럭 신호의 제 2 레벨에 응답하여 제 1 및 제 2 노드를 프리차지 시키고, 상기 센싱부의 센싱 결과에 응답하여 상기 제 1 및 제 2 노드의 전압 레벨을 제어하는 래치부 ; 및

상기 제 1 및 제 2 노드의 레벨을 반전시켜 대응되는 제 1 및 제 2 출력 신호를 발생하는 출력부를 구비하는 것을 특징으로 하는 센스 앰프 회로.

【청구항 10】

제 9항에 있어서, 상기 래치부는,

전원 전압에 제 1단이 연결되고 상기 제 1 노드에 제 2단이 연결되며 게이트에 상기 클럭 신호가 연결되는 제 1 프리차지 트랜지스터 ;

상기 전원 전압에 제 1단이 연결되고 상기 제 2 노드에 제 2단이 연결되며 게이트에 상기 클럭 신호가 연결되는 제 2 프리차지 트랜지스터 ;

상기 전원 전압에 제 1단이 연결되고 상기 제 1 노드에 제 2단이 연결되며 게이트에 상기 제 2 노드가 연결되는 제 1 래치 트랜지스터 ;

상기 전원 전압에 제 1단이 연결되고 상기 제 2 노드에 제 2단이 연결되며 게이트에 상기 제 1 노드가 연결되는 제 2 래치 트랜지스터 ;

상기 제 1 노드에 제 1단들이 공통으로 연결되고 각각의 게이트에 제 2 노드가 각각 연결되는 제 3 및 제 4 래치 트랜지스터들 ; 및

상기 제 2 노드에 제 1단들이 공통으로 연결되고 각각의 게이트에 제 1 노드가 각각 연결되는 제 5 및 제 6 래치 트랜지스터들을 구비하는 것을 특징으로 하는 센스 앰프 회로.

【청구항 11】

제 10항에 있어서, 상기 센싱부는,

상기 제 3 래치 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 상기 제 1 신호가 연결되는 제 1 센스 트랜지스터 ;

상기 제 6 래치 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 상기 제 1 반전 신호가 연결되는 제 1 반전 센스 트랜지스터 ;

상기 제 4 래치 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 상기 제 2 신호가 연결되는 제 2 센스 트랜지스터 ; 및

상기 제 5 래치 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 상기 제 1 반전 신호가 연결되는 제 2 반전 센스 트랜지스터를 구비하는 것을 특징으로 하는 센스 앰프 회로.

【청구항 12】

제 11항에 있어서, 상기 선택부는,

상기 제 1 센스 트랜지스터의 제 2단과 상기 제 1 반전 센스 트랜지스터의 제 2단에 공통으로 제 1단이 연결되고 게이트에 상기 클럭 신호가 연결되는 제 1 스위치 트랜지스터 ;

상기 제 2 센스 트랜지스터의 제 2단과 상기 제 2 반전 센스 트랜지스터의 제 2단에 공통으로 제 1단이 연결되고 게이트에 상기 클럭 신호가 연결되는 제 2 스위치 트랜지스터 ;

상기 제 1 스위치 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 상기 선택 신호가 연결되며 제 2단이 접지 전압에 연결되는 제 1 선택 트랜지스터 ; 및

상기 제 2 스위치 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 상기 반전 선택 신호가 연결되며 제 2단이 상기 접지 전압에 연결되는 제 2 선택 트랜지스터를 구비하는 것을 특징으로 하는 센스 앰프 회로.

【청구항 13】

제 11항에 있어서, 상기 선택부는,

상기 제 1 센스 트랜지스터의 제 2단에 제 1단이 연결되고, 게이트에 상기 클럭 신호가 연결되는 제 1 스위치 트랜지스터 ;

상기 제 1 반전 센스 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 상기 클럭 신호가 연결되는 제 1 반전 스위치 트랜지스터 ;

상기 제 2 센스 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 상기 클럭 신호가 연결되는 제 2 스위치 트랜지스터 ;

상기 제 2 반전 센스 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 상기 클럭 신호가 연결되는 제 2 반전 스위치 트랜지스터 ;

상기 제 1 스위치 트랜지스터 및 상기 제 1 반전 스위치 트랜지스터의 제 2단에 공통으로 제 1단이 연결되고 상기 선택 신호가 게이트에 연결되며 제 2단이 접지 전압에 연결되는 제 1 선택 트랜지스터 ; 및

상기 제 2 스위치 트랜지스터 및 상기 제 2 반전 스위치 트랜지스터의 제 2단에 공통으로 제 1단이 연결되고 상기 반전 선택 신호가 게이트에 연결되며 제 2단이 상기 접지 전압에 연결되는 제 2 선택 트랜지스터를 구비하는 것을 특징으로 하는 센스 앰프 회로.

【청구항 14】

제 11항에 있어서, 상기 선택부는,

상기 제 1 센스 트랜지스터의 제 2단에 제 1단이 연결되고, 게이트에 상기 클럭 신호가 연결되는 제 1 스위치 트랜지스터 ;

상기 제 1 반전 센스 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 상기 클럭 신호가 연결되는 제 1 반전 스위치 트랜지스터 ;

상기 제 2 센스 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 상기 클럭 신호가 연결되는 제 2 스위치 트랜지스터 ;

상기 제 2 반전 센스 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 상기 클럭 신호가 연결되는 제 2 반전 스위치 트랜지스터 ;

상기 제 1 스위치 트랜지스터의 제 2단에 제 1단이 연결되고 상기 선택 신호가 게이트에 연결되며 제 2단이 접지 전압에 연결되는 제 1 선택 트랜지스터 ; 및

상기 제 1 반전 스위치 트랜지스터의 제 2단에 제 1단이 연결되고 상기 선택 신호가 게이트에 연결되며 제 2단이 상기 접지 전압에 연결되는 제 1 반전 선택 트랜지스터 ;

상기 제 2 스위치 트랜지스터의 제 2단에 제 1단이 연결되고 상기 반전 선택 신호가 게이트에 연결되며 제 2단이 상기 접지 전압에 연결되는 제 2 선택 트랜지스터 ; 및

상기 제 2 반전 스위치 트랜지스터의 제 2단에 제 1단이 연결되고 상기 반전 선택 신호가 게이트에 연결되며 제 2단이 상기 접지 전압에 연결되는 제 2 반전 선택 트랜지스터를 구비하는 것을 특징으로 하는 센스 앰프 회로.

【청구항 15】

제 14항에 있어서, 상기 제 1 및 제 2 프리차지 트랜지스터, 제 1 및 제 2 래치 트랜지스터는 피모스 트랜지스터이고,

상기 제 3 내지 제 6 래치 트랜지스터들, 상기 제 1 및 제 2 센스 트랜지스터, 상기 제 1 및 제 2 반전 센스 트랜지스터, 상기 제 1 및 제 2 선택 트랜지스터, 상기 제 1 및 제 2 반전 선택 트랜지스터, 상기 제 1 내지 제 4 스위치 트랜지스터들은 엔모스 트랜지스터인 것을 특징으로 하는 센스 앰프 회로.

【청구항 16】

제어 신호에 응답하여 데이터 라인 쌍으로부터 데이터 및 상기 데이터와 반대되는 레벨을 가지는 반전 데이터를 수신하여 저장하고 선택 신호 및 반전 선택 신호를 발생하는 램 셀부 ;

클럭 신호의 제 1 레벨, 상기 선택 신호 및 상기 반전 선택 신호에 응답하여 제 1 신호와 제 1 반전 신호를 구비하는 제 1 신호 쌍과 제 2 신호와 제 2 반전 신호를 구비하는 제 2 신호 쌍 중 하나를 선택하는 선택부 ;

상기 선택된 제 1 신호 쌍 또는 제 2 신호 쌍 중 하나의 전압 레벨을 센싱하는 센싱부 ;

상기 클럭 신호의 제 2 레벨에 응답하여 제 1 및 제 2 노드를 프리차지 시키고, 상기 센싱부의 센싱 결과에 응답하여 상기 제 1 및 제 2 노드의 전압 레벨을 제어하는 래치부 ; 및

상기 제 1 및 제 2 노드의 레벨을 반전시켜 대응되는 제 1 및 제 2 출력 신호를 발생하고, 상기 제 2 출력 신호의 레벨을 이용하여 상기 데이터 및 반전 데이터와 상기 제 1 신호 및 상기 제 1 반전 신호가 일치하는 지를 판단하는 출력부를 구비하는 것을 특징으로 하는 비트 비교 회로.

【청구항 17】

제 16항에 있어서, 상기 램 셀부는,

인버터의 출력이 다른쪽 인버터의 입력으로 연결되는 제 1 및 제 2 인버터를 구비하는 데이터 유지부 ;

상기 제어 신호에 응답하여 상기 데이터 라인 쌍 중 하나로부터 상기 데이터를 상기 제 1 인버터의 입력단으로 전송하는 제 1 제어 트랜지스터 ; 및

상기 제어 신호에 응답하여 상기 데이터 라인 쌍 중 다른 하나로부터 상기 반전 데이터를 상기 제 2 인버터의 입력단으로 전송하는 제 2 제어 트랜지스터를 구비하고,

상기 데이터 라인 쌍은 비트 라인 쌍 인 것을 특징으로 하는 비트 비교 회로.

【청구항 18】

제 16항에 있어서, 상기 데이터는 상기 선택 신호와 동일한 신호이고, 상기 반전 데이터는 상기 반전 선택 신호와 동일한 신호이며,

상기 제 1 신호와 상기 제 2 반전 신호는 동일한 신호이고, 상기 제 2 신호와 상기 제 1 반전 신호는 동일한 신호이며,

상기 제 1 신호와 상기 제 1 반전 신호는 서로 반대되는 레벨을 가지며 상기 비트 비교 회로로 입력되는 어드레스 데이터인 것을 특징으로 하는 비트 비교 회로.

【청구항 19】

제 16항에 있어서, 상기 센싱부는,

상기 클럭 신호 및 상기 선택 신호가 제 1 레벨인 경우, 상기 제 1 신호가 게이트로 인가되는 제 1 센스 트랜지스터 및 상기 제 1 반전 신호가 게이트로 인가되는 제 1 반전 센스 트랜지스터가 턴 온 되며, 상기 제 1 센스 트랜지스터 및 상기 제 1 반전 센스 트랜지스터의 소스가 공통으로 연결되고,

상기 클럭 신호 및 상기 반전 선택 신호가 제 1 레벨인 경우, 제 2 신호가 게이트로 인가되는 제 2 센스 트랜지스터 및 제 2 반전 신호가 게이트로 인가되는 제 2 반전

센스 트랜지스터가 턴 온 되며, 상기 제 2 센스 트랜지스터 및 상기 제 2 반전 센스 트랜지스터의 소스가 공통으로 연결되는 것을 특징으로 하는 비트 비교 회로.

【청구항 20】

제 19항에 있어서, 상기 선택부는,

상기 제 1 센스 트랜지스터와 상기 제 1 반전 센스 트랜지스터의 소스에 공통으로 제 1단이 연결되고 게이트에 상기 클럭 신호가 연결되는 제 1 스위치 트랜지스터 ;

상기 제 2 센스 트랜지스터와 상기 제 2 반전 센스 트랜지스터의 소스에 공통으로 제 1단이 연결되고 게이트에 상기 클럭 신호가 연결되는 제 2 스위치 트랜지스터 ;

상기 제 1 스위치 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 상기 선택 신호가 연결되며 접지 전압에 제 2단이 연결되는 제 1 선택 트랜지스터 ; 및

상기 제 2 스위치 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 상기 반전 선택 신호가 연결되며 상기 접지 전압에 제 2단이 연결되는 제 2 선택 트랜지스터를 구비하는 것을 특징으로 하는 비트 비교 회로.

【청구항 21】

제 19항에 있어서, 상기 선택부는,

상기 제 1 센스 트랜지스터와 상기 제 1 반전 센스 트랜지스터의 소스에 공통으로 제 1단이 연결되고 게이트에 상기 선택 신호가 연결되는 제 1 선택 트랜지스터 ;

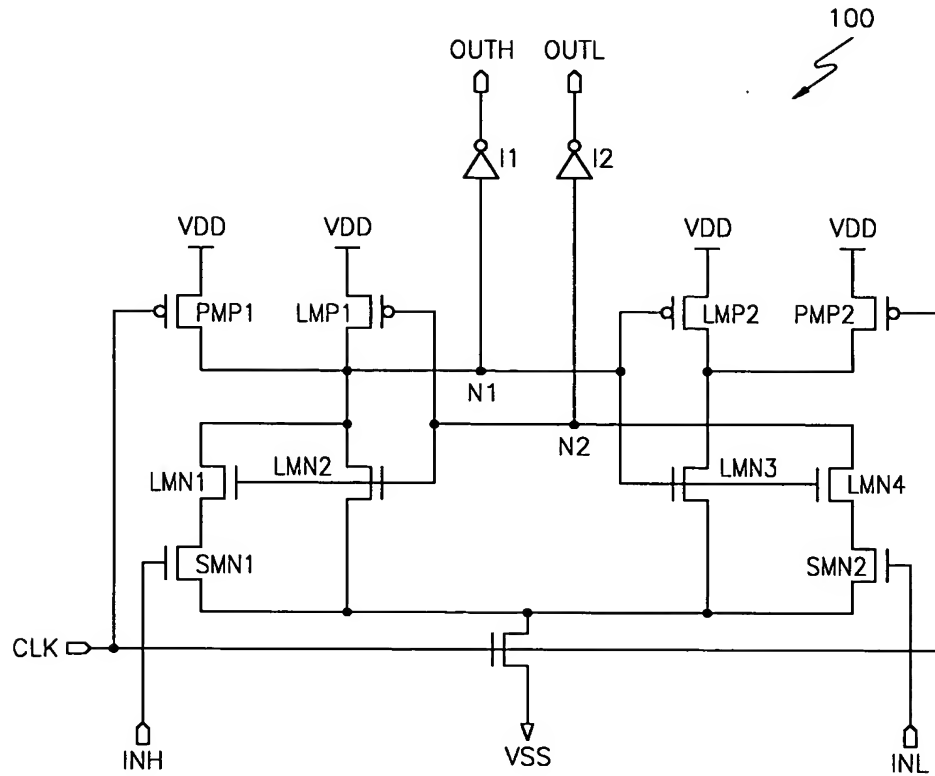
상기 제 2 센스 트랜지스터와 상기 제 2 반전 센스 트랜지스터의 소스에 공통으로 제 1단이 연결되고 게이트에 상기 반전 선택 신호가 연결되는 제 2 선택 트랜지스터 ;

상기 제 1 선택 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 상기 클럭 신호가 연결되며 접지 전압에 제 2단이 연결되는 제 1 스위치 트랜지스터 ; 및

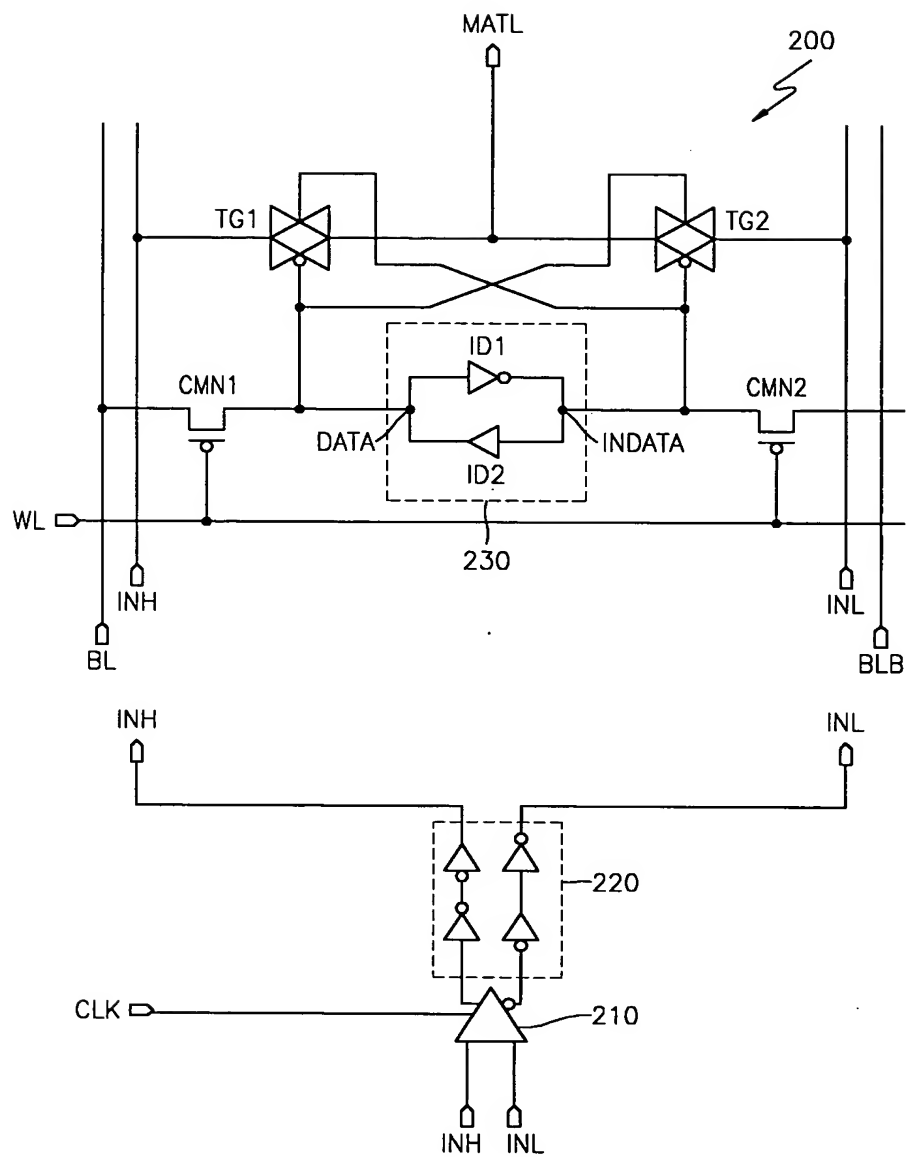
상기 제 2 선택 트랜지스터의 제 2단에 제 1단이 연결되고 게이트에 상기 클럭 신호가 연결되며 상기 접지 전압에 제 2단이 연결되는 제 2 스위치 트랜지스터를 구비하는 것을 특징으로 하는 비트 비교 회로.

【도면】

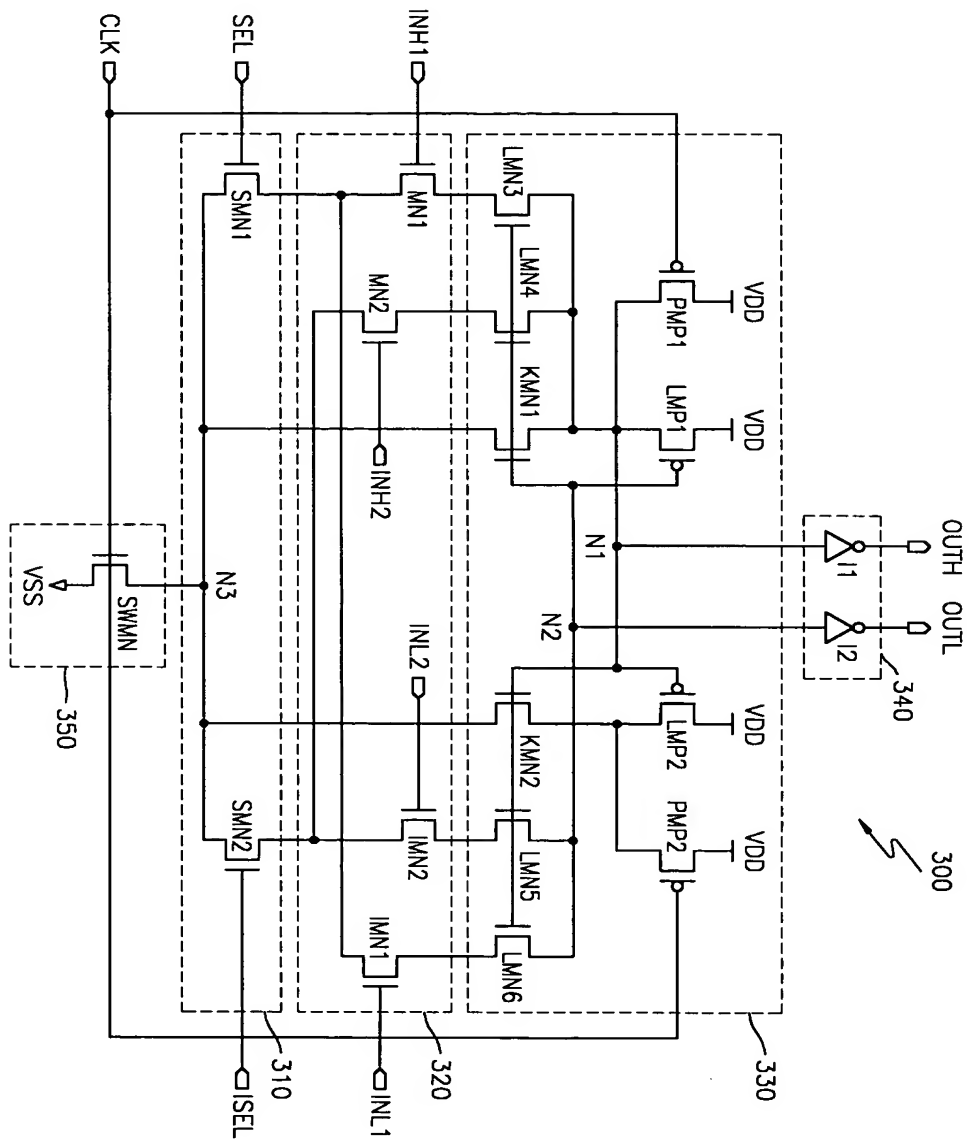
【도 1】



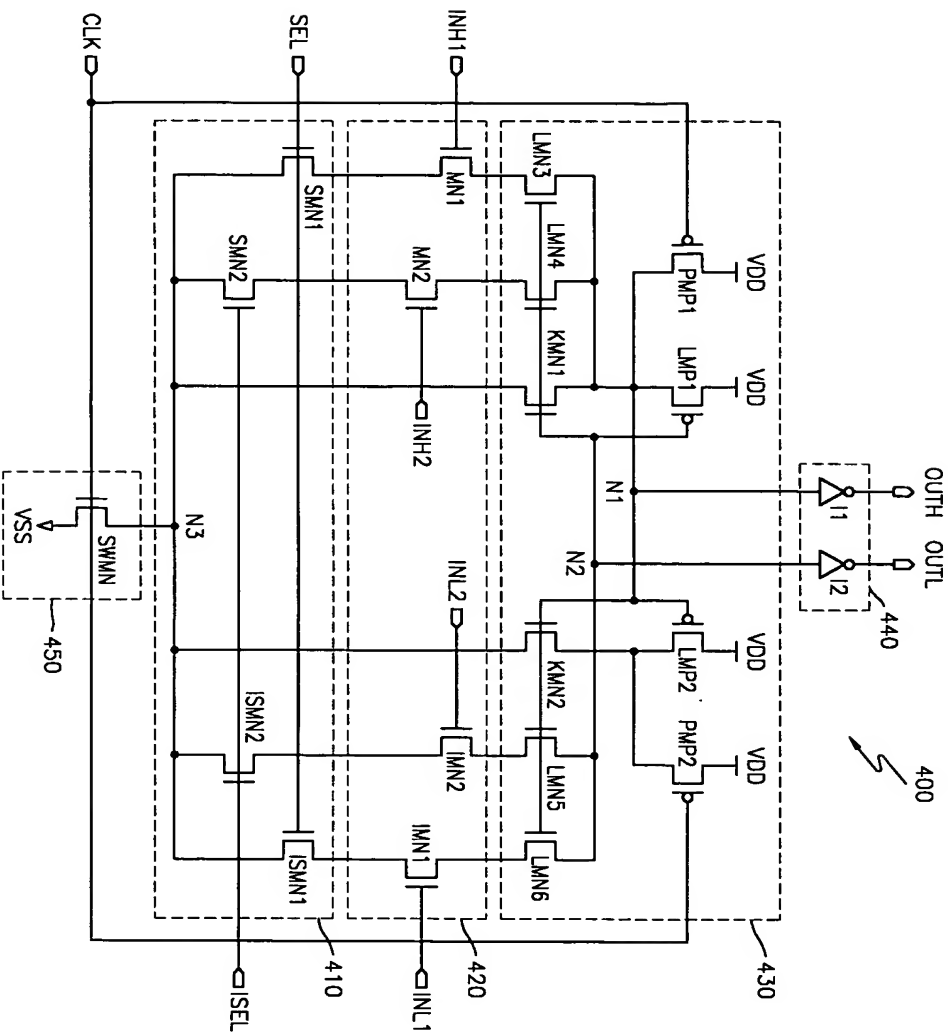
【도 2】



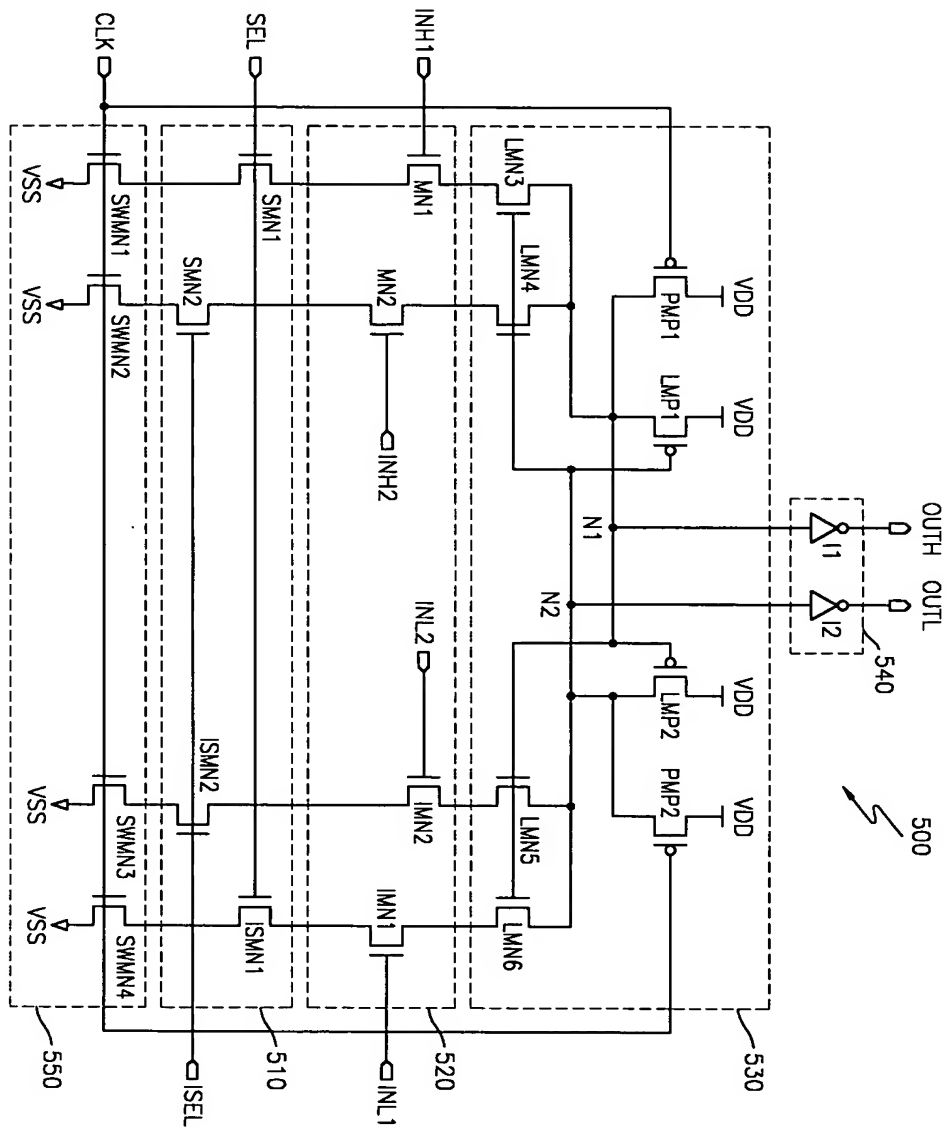
【 3】



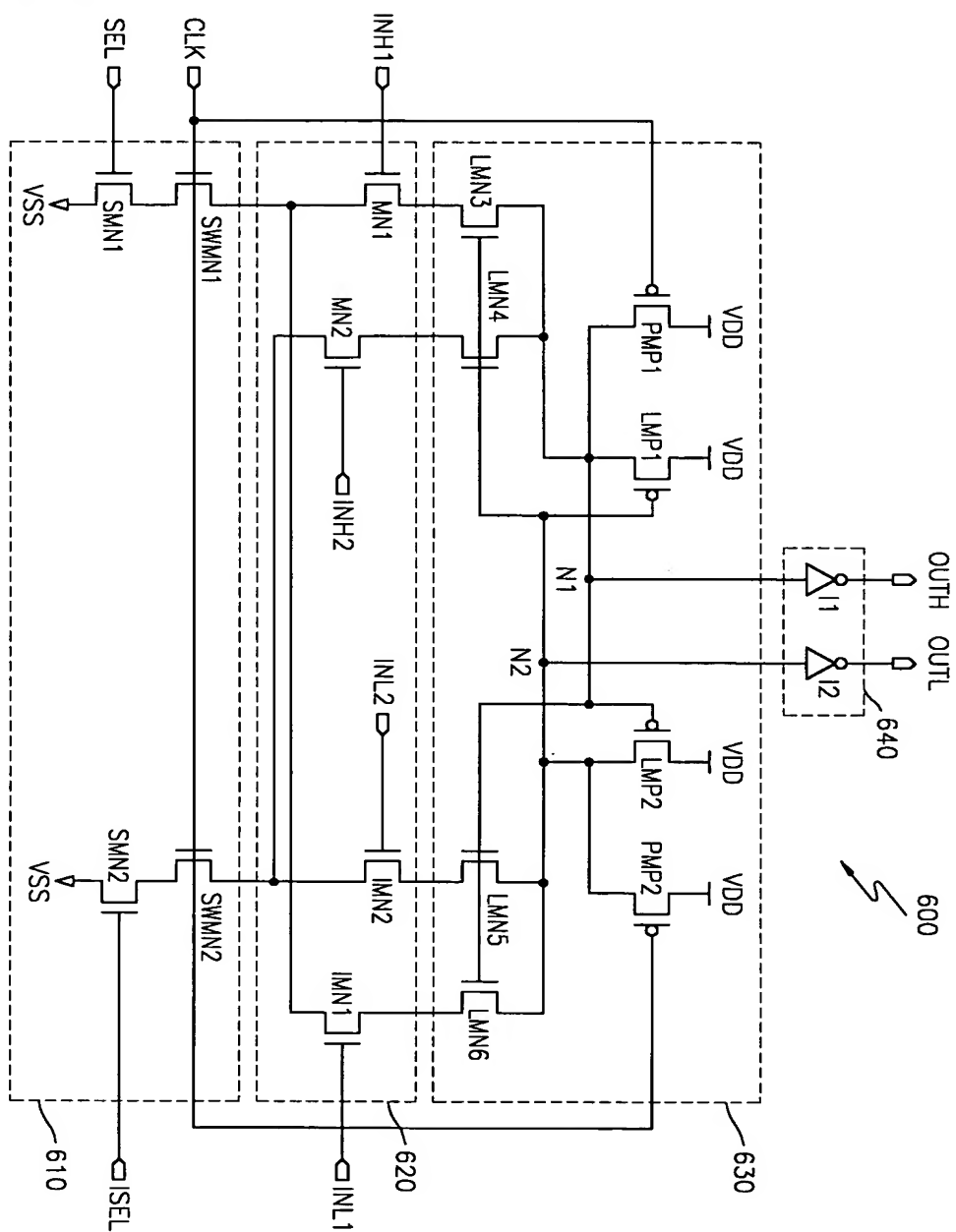
【표 4】



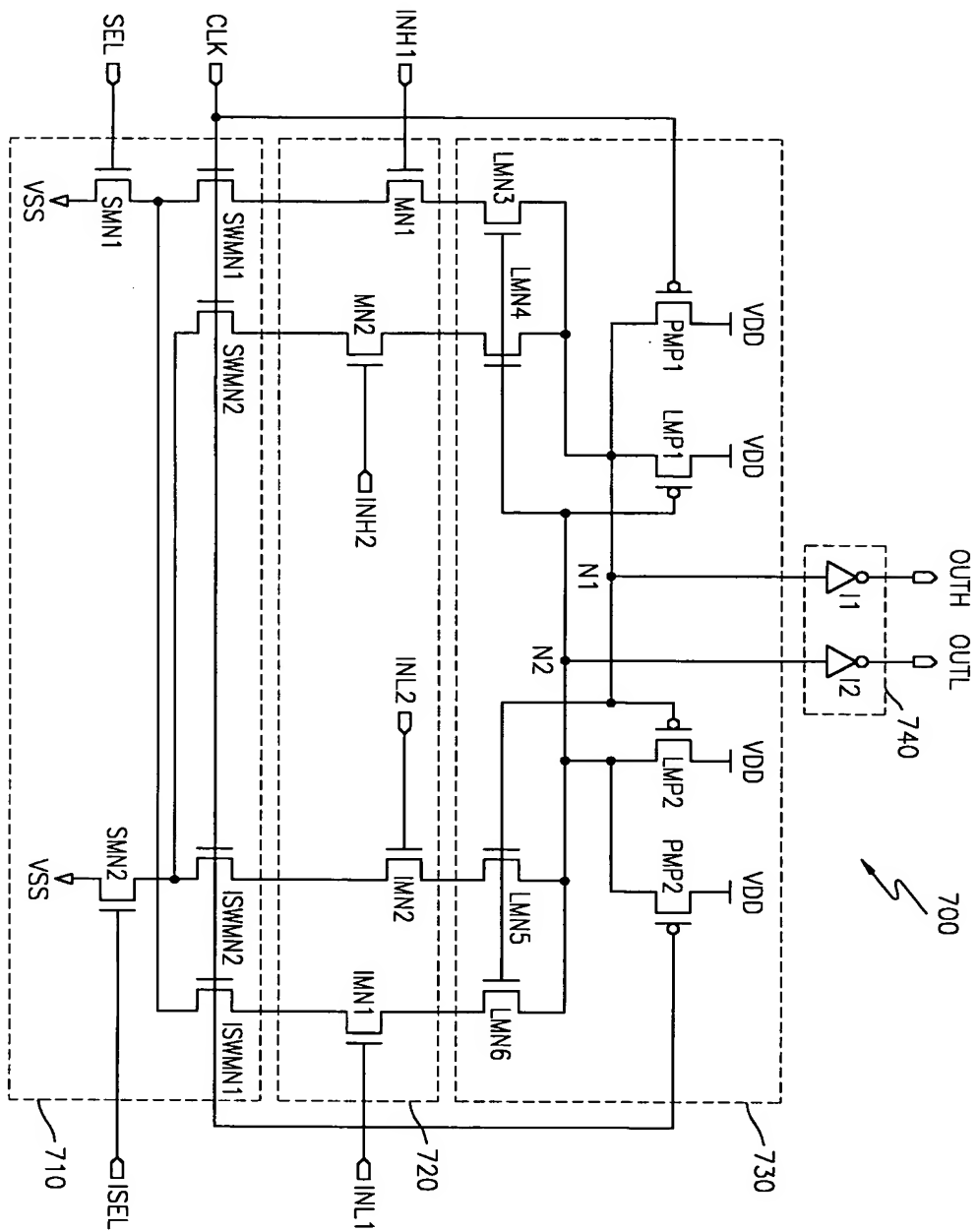
【도 5】



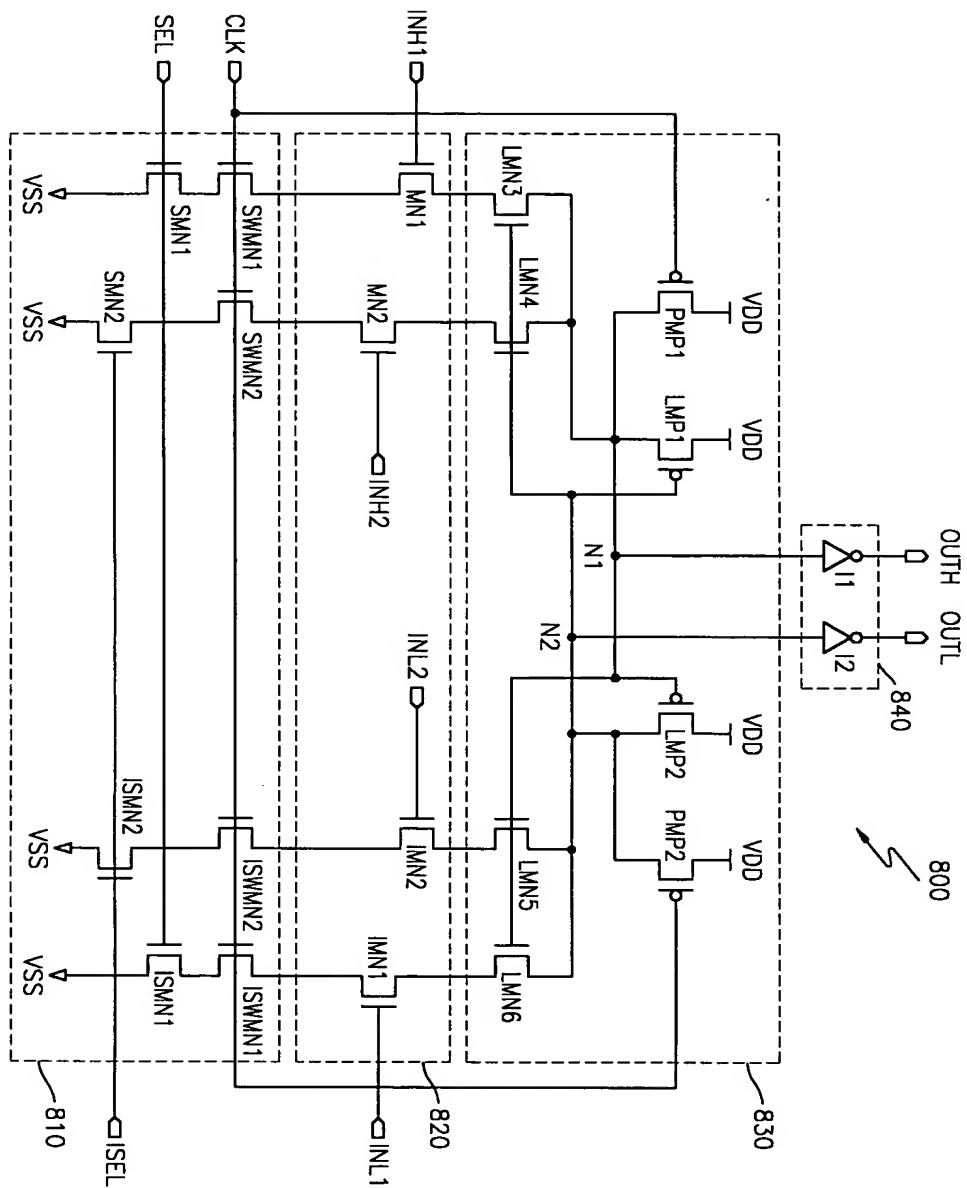
【 6】



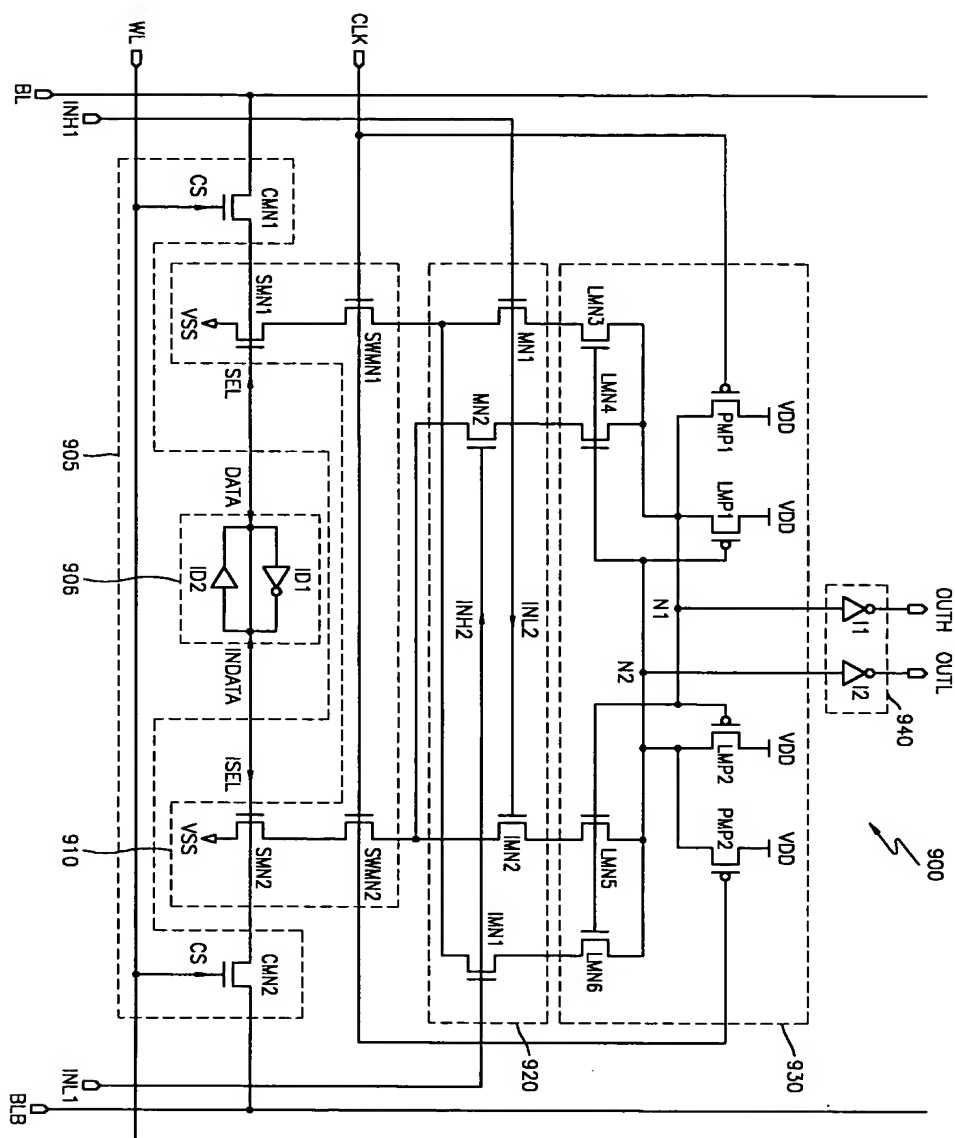
【표 7】



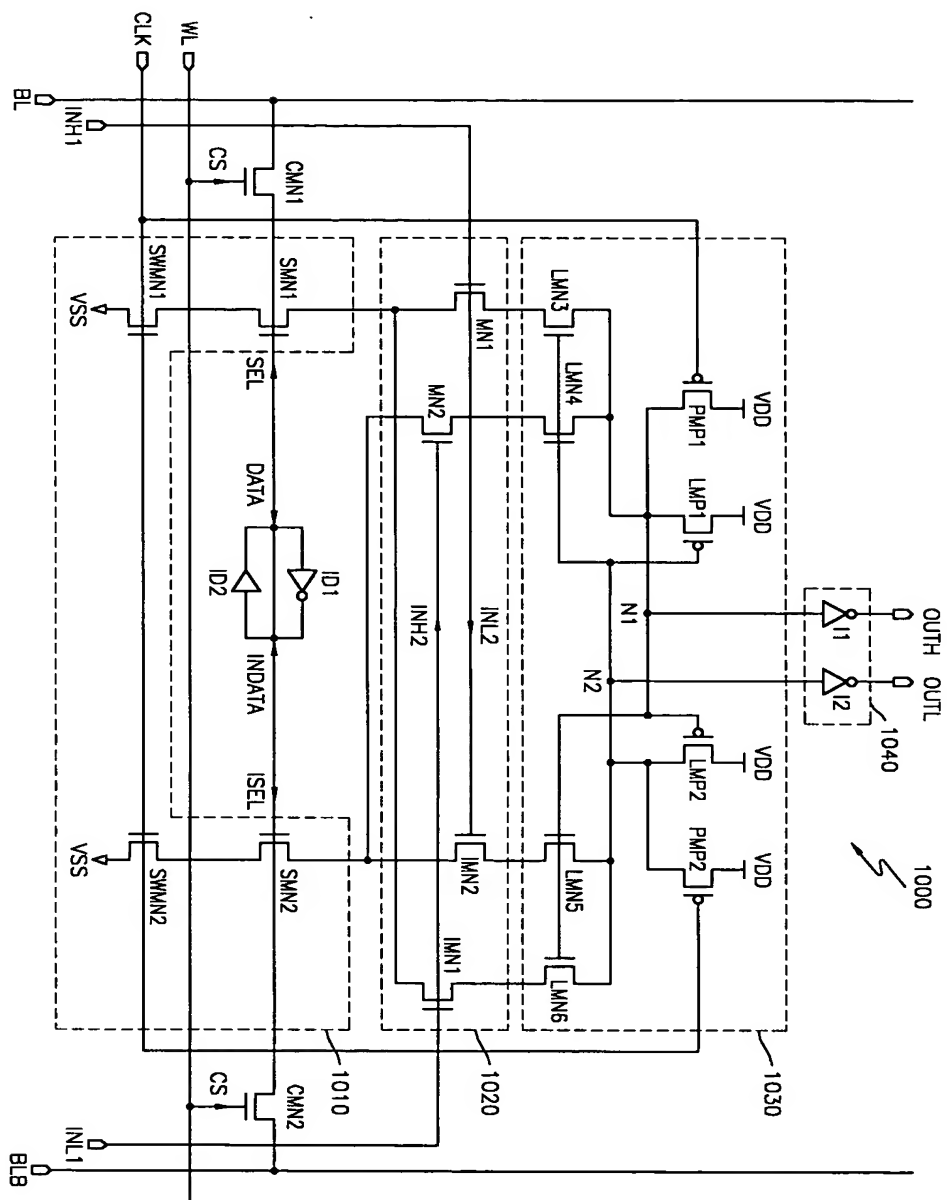
【 8 】



【图 9】



【도 10】



【도 11】

